

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
H01L 27/092

(11) 공개번호 특 2000-0048319
(43) 공개일자 2000년 07월 25일

(21) 출원번호 10-1999-0060144
(22) 출원일자 1999년 12월 22일
(30) 우선권주장 1998-367265 / 1998년 12월 24일 일본(JP)
1999-177091 1999년 06월 23일 일본(JP)
(71) 출원인 미쓰비시덴키 가부시카가이샤 다니구찌 이찌로오, 기타오카 다카시
일본국 도쿄도 지요다구 마루노우치 2초메 2반 3고
(72) 발명자 야마구찌마사오
일본도쿄도지요다구마루노우치2-2-3미쓰비시덴키가부시카가이샤내
마에가와시게토
일본도쿄도지요다구마루노우치2-2-3미쓰비시덴키가부시카가이샤내
이쵸시다카시
일본도쿄도지요다구마루노우치2-2-3미쓰비시덴키가부시카가이샤내
이와마즈도시아끼
일본도쿄도지요다구마루노우치2-2-3미쓰비시덴키가부시카가이샤내
마에다시게노부
일본도쿄도지요다구마루노우치2-2-3미쓰비시덴키가부시카가이샤내
히라노유우이찌
일본도쿄도지요다구마루노우치2-2-3미쓰비시덴키가부시카가이샤내
마즈모토다꾸지
일본도쿄도지요다구마루노우치2-2-3미쓰비시덴키가부시카가이샤내
미야모토쇼이찌
일본도쿄도지요다구마루노우치2-2-3미쓰비시덴키가부시카가이샤내
(74) 대리인 장수길, 구영창

심사청구 : 있음

(54) 반도체 장치 및 그 제조 방법 및 반도체 장치의 설계 방법

요약

기관 부유 효과의 저감을 도모한 SOI 구조의 반도체 장치를 얻는다.

SOI층(3)의 각 트랜지스터 형성 영역은 하층부에 웰 영역이 형성되는 부분 산화막(31)에 의해 분리된다. NMOS 트랜지스터 사이를 분리하는 부분 산화막(31)의 하층에 p형의 웰 영역(11)이 형성되고, PMOS 트랜지스터 사이를 분리하는 부분 산화막(31)의 하층에 n형의 웰 영역(12)이 형성되며, NMOS 트랜지스터, PMOS 트랜지스터 사이를 분리하는 부분 산화막(31)의 하층에 p형의 웰 영역(11) 및 n형의 웰 영역(12)이 인접하여 형성된다. 보디 영역은 인접하는 웰 영역(11)에 접하고 있다. 층간 절연막(4) 상에 형성된 배선층은, 층간 절연막(4) 중에 설치된 보디 콘택트를 통해 보디 영역과 전기적으로 접속된다.

도표도

도1

색인어

실리콘 기판, 매립 산화막, SOI층, 층간 절연막, 게이트 전극, 보디 영역, 트렌치, 저유전율막, 스파이럴 인덕터, 아날로그 회로용 트랜지스터

명세서

도면의 간단한 설명

- 도 1은 본 발명의 실시 형태 1인 S01 구조의 반도체 장치의 제1 형태를 나타낸 단면도.
- 도 2는 실시 형태 1의 제1 형태를 나타낸 단면도.
- 도 3은 실시 형태 1의 제1 형태의 평면도.
- 도 4는 실시 형태 1의 제2 형태의 구조를 나타낸 단면도.
- 도 5는 실시 형태 2의 제1 형태를 나타낸 단면도.
- 도 6은 실시 형태 2의 제2 형태를 나타낸 단면도.
- 도 7은 실시 형태 2의 제3 형태를 나타낸 단면도.
- 도 8은 실시 형태 2에 있어서의 제1 소자 분리 공정을 나타낸 단면도.
- 도 9는 실시 형태 2에 있어서의 제1 소자 분리 공정을 나타낸 단면도.
- 도 10은 실시 형태 2에 있어서의 제1 소자 분리 공정을 나타낸 단면도.
- 도 11은 실시 형태 2에 있어서의 제1 소자 분리 공정을 나타낸 단면도.
- 도 12는 고농도 웰 영역 형성 공정을 나타낸 단면도.
- 도 13은 고농도 웰 영역 형성 공정을 나타낸 단면도.
- 도 14는 실시 형태 2에 있어서의 제2 소자 분리 공정을 나타낸 단면도.
- 도 15는 실시 형태 2에 있어서의 제2 소자 분리 공정을 나타낸 단면도.
- 도 16은 실시 형태 2에 있어서의 제2 소자 분리 공정을 나타낸 단면도.
- 도 17은 실시 형태 2에 있어서의 제2 소자 분리 공정을 나타낸 단면도.
- 도 18은 실시 형태 2에 있어서의 제2 소자 분리 공정을 나타낸 단면도.
- 도 19는 실시 형태 2에 있어서의 제3 소자 분리 공정을 나타낸 단면도.
- 도 20은 실시 형태 2에 있어서의 제3 소자 분리 공정을 나타낸 단면도.
- 도 21은 실시 형태 2에 있어서의 제3 소자 분리 공정을 나타낸 단면도.
- 도 22는 실시 형태 2에 있어서의 제3 소자 분리 공정을 나타낸 단면도.
- 도 23은 실시 형태 2에 있어서의 제4 소자 분리 공정을 나타낸 단면도.
- 도 24는 실시 형태 2에 있어서의 제4 소자 분리 공정을 나타낸 단면도.
- 도 25는 실시 형태 2에 있어서의 제4 소자 분리 공정을 나타낸 단면도.
- 도 26은 실시 형태 2에 있어서의 제4 소자 분리 공정을 나타낸 단면도.
- 도 27은 실시 형태 2에 있어서의 제4 소자 분리 공정을 나타낸 단면도.
- 도 28은 실시 형태 3의 제1 형태를 나타낸 단면도.
- 도 29는 실시 형태 3의 제2 형태를 나타낸 단면도.
- 도 30은 실시 형태 4의 S01 구조를 나타낸 단면도.
- 도 31은 실시 형태 4의 S01 구조를 나타낸 단면도.
- 도 32는 실시 형태 4의 다른 S01 구조를 나타낸 단면도.
- 도 33은 실시 형태 4에 있어서의 소자 분리 공정을 나타낸 단면도.
- 도 34는 실시 형태 4에 있어서의 소자 분리 공정을 나타낸 단면도.
- 도 35는 실시 형태 4에 있어서의 소자 분리 공정을 나타낸 단면도.
- 도 36은 실시 형태 4에 있어서의 소자 분리 공정을 나타낸 단면도.
- 도 37은 실시 형태 4에 있어서의 소자 분리 공정을 나타낸 단면도.
- 도 38은 실시 형태 5의 제1 형태를 나타낸 단면도.
- 도 39는 실시 형태 5의 제2 형태를 나타낸 단면도.
- 도 40은 실시 형태 5의 제3 형태를 나타낸 단면도.
- 도 41은 실시 형태 6의 제1 형태를 나타낸 단면도.
- 도 42는 실시 형태 6의 제2 형태를 나타낸 단면도.
- 도 43은 실시 형태 6에 있어서의 제1 접속 영역 형성 공정을 나타낸 단면도.
- 도 44는 실시 형태 6에 있어서의 제1 접속 영역 형성 공정을 나타낸 단면도.
- 도 45는 실시 형태 6에 있어서의 제1 접속 영역 형성 공정을 나타낸 단면도.

- 도 46은 실시 형태 6에 있어서의 제2 접속 영역 형성 공정을 나타낸 단면도.
- 도 47은 실시 형태 6에 있어서의 제2 접속 영역 형성 공정을 나타낸 단면도.
- 도 48은 실시 형태 6에 있어서의 제2 접속 영역 형성 공정을 나타낸 단면도.
- 도 49는 실시 형태 6에 있어서의 제3 접속 영역 형성 공정을 나타낸 단면도.
- 도 50은 실시 형태 6에 있어서의 제3 접속 영역 형성 공정을 나타낸 단면도.
- 도 51은 실시 형태 6에 있어서의 제3 접속 영역 형성 공정을 나타낸 단면도.
- 도 52는 실시 형태 6의 제3 형태를 나타낸 단면도.
- 도 53은 실시 형태 6의 제4 형태를 나타낸 단면도.
- 도 54는 실시 형태 6의 제5 형태를 나타낸 단면도.
- 도 55는 실시 형태 2의 제4 형태를 나타낸 단면도.
- 도 56은 실시 형태 2의 제5 형태를 나타낸 단면도.
- 도 57은 실시 형태 2의 제6 형태를 나타낸 단면도.
- 도 58은 실시 형태 2에 있어서의 제5 소자 분리 공정을 나타낸 단면도.
- 도 59는 실시 형태 2에 있어서의 제5 소자 분리 공정을 나타낸 단면도.
- 도 60은 실시 형태 2에 있어서의 제5 소자 분리 공정을 나타낸 단면도.
- 도 61은 실시 형태 2에 있어서의 제5 소자 분리 공정을 나타낸 단면도.
- 도 62는 실시 형태 2에 있어서의 제5 소자 분리 공정을 나타낸 단면도.
- 도 63은 실시 형태 7에 따른 완전 분리 영역의 설정 방법을 나타낸 설명도.
- 도 64는 래치업 현상을 설명하기 위한 설명도.
- 도 65는 실시 형태 8의 제1 형태를 나타낸 단면도.
- 도 66은 입력 회로의 일례를 나타낸 회로도.
- 도 67은 출력 회로의 일례를 나타낸 회로도.
- 도 68은 실시 형태 8의 제2 형태를 나타낸 단면도.
- 도 69는 실시 형태 8의 제3 형태를 나타낸 평면도.
- 도 70은 실시 형태 9의 제1 형태를 나타낸 평면도.
- 도 71은 도 70의 A-A 단면을 나타낸 단면도.
- 도 72는 실시 형태 9의 제2 형태를 나타낸 평면도.
- 도 73은 도 72의 B-B 단면을 나타낸 단면도.
- 도 74는 실시 형태 10의 제1 형태를 나타낸 평면도.
- 도 75는 실시 형태 10의 제2 형태를 나타낸 평면도.
- 도 76은 실시 형태 11의 제1 형태를 나타낸 평면도.
- 도 77은 실시 형태 11의 제2 형태를 나타낸 평면도.
- 도 78은 실시 형태 12의 제1 형태를 나타낸 평면도.
- 도 79는 도 78의 C-C 단면을 나타낸 단면도.
- 도 80은 실시 형태 12의 제2 형태를 나타낸 평면도.
- 도 81은 도 80의 D-D 단면을 나타낸 단면도.
- 도 82는 실시 형태 12의 제3 형태를 나타낸 평면도.
- 도 83은 실시 형태 13을 나타낸 단면도.
- 도 84는 실시 형태 14의 제1 형태의 특징을 나타낸 설명도.
- 도 85는 실시 형태 14의 제2 형태의 특징을 나타낸 설명도.
- 도 86은 실시 형태 15의 제1 형태를 나타낸 단면도.
- 도 87은 실시 형태 15의 제2 형태를 나타낸 평면도.
- 도 88은 실시 형태 16의 제1 형태를 나타낸 단면도.
- 도 89는 실시 형태 16의 제2 형태를 나타낸 단면도.
- 도 90은 실시 형태 17의 제1 형태를 나타낸 단면도.

- 도 91은 실시 형태 17의 회로 구성을 나타낸 회로도.
- 도 92는 실시 형태 17의 제2 형태를 나타낸 단면도.
- 도 93은 실시 형태 18의 DT-MOS를 나타낸 평면도.
- 도 94는 실시 형태 19를 나타낸 단면도.
- 도 95는 실시 형태 20의 제1 형태를 나타낸 단면도.
- 도 96은 실시 형태 20의 필드 트랜지스터의 입력 회로에의 이용예를 나타낸 회로도.
- 도 97은 실시 형태 20의 필드 트랜지스터의 출력 회로에의 이용예를 나타낸 회로도.
- 도 98은 실시 형태 20의 제2 형태를 나타낸 단면도.
- 도 99는 실시 형태 20의 제3 형태를 나타낸 평면도.
- 도 100은 드레인/소스 영역의 불순물 분포를 나타낸 설명도.
- 도 101은 도 74의 E-E 단면을 나타낸 단면도.
- 도 102는 종래의 SOI 구조의 반도체 장치를 나타낸 단면도.

〈도면의 주요 부분에 대한 부호의 설명〉

- 1 : 실리콘 기판
- 2 : 매립 산화막
- 3 : SOI층
- 3A, 3B : 부분 SOI층
- 4 : 층간 절연막
- 5, 5s, 5t, 245, 255 : 드레인 영역
- 6, 6s, 6t, 246, 256 : 소스 영역
- 7 : 채널 형성 영역
- 8 : 게이트 산화막
- 9 : 게이트 전극
- 10, 20, 146, 147, 156, 164 : 보디 영역
- 11 : 웰 영역(p형)
- 12, 28 : 웰 영역(n형)
- 31 : 부분 산화막
- 32 : 완전 산화막
- 33, 210~212, 218 : 산화막
- 44, 44A, 44B : 부분 트렌치
- 48 : 완전 트렌치
- 61, 62 : 폴리실리콘 영역
- 75~77 : 저유전율막
- 78, 79 : 실리콘 산화막
- 80, 86~89 : 접속 영역
- 104 : n웰 영역
- 105, 110, 114, 115, 120 : 완전 분리 영역
- 107, 117, 127, 137, 148 : 부분 분리 영역
- 149 : 부유 부분 분리 영역
- 150 : 부유 p⁺ 보디 영역
- 182, 224 : 웰 영역
- 199 : 스파이럴 인덕터
- 200 : 고저항 실리콘 기판
- 223 : 고저항 영역
- Q21, Q22 : 아날로그 회로용 트랜지스터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 SOI 구조의 반도체 장치에 관한 것이다.

도 102에 도시한 바와 같이, 실리콘 기판(1), 매립 산화막(2) 및 SOI(Silicon On Insulator)층으로 이루어지는 종래의 SOI 구조의 반도체 장치에 있어서, SOI층(3) 중의 트랜지스터 형성 영역은 완전 산화막(32)에 의해 완전히 분리되어 있었다. 예를 들면, NMOS 트랜지스터 형성 영역에 형성되는 1단위의 NMOS 트랜지스터는 완전 산화막(32)에 의해 다른 트랜지스터로부터 완전 분리되어 있다. 또, 도 102의 예에서는 SOI층(3) 상을 통한 절연막(4)으로 덮여 있다.

도 102에 있어서, 완전 산화막(32)에 따라서 다른 트랜지스터로부터 완전 분리되는 1단위의 NMOS 트랜지스터는, SOI층(3) 중에 형성되는 드레인 영역(5), 소스 영역(6), 채널 형성 영역(7), 채널 형성 영역(7) 상에 형성되는 게이트 산화막(8) 및 게이트 산화막(8) 상에 형성되는 게이트 전극(9)으로 구성된다. 또한, 통간 절연막(4) 상에 형성된 배선층(22)은, 통간 절연막(4) 중에 설치된 콘택트(21)를 통해 드레인 영역(5) 혹은 소스 영역(6)과 전기적으로 접속된다.

이와 같이, 종래의 SOI 구조의 반도체 장치는 소자(트랜지스터) 단위로 SOI층 중에 완전 분리되어 있기 때문에, PMOS 및 NMOS 각각의 트랜지스터 사이는 완전히 분리되어 래치업이 원리적으로 발생하지 않는 구조를 나타내고 있다.

따라서, SOI 구조로 CMOS 트랜지스터를 갖는 반도체 장치를 제조하는 경우에는, 미세 가공 기술로 결정되는 최소 분리폭을 사용할 수 있어 칩면적을 축소할 수 있는 장점이 있었다. 그러나, 통간 전리 현상에 의해 발생하는 캐리어(NMOS에서는 홀)가 채널 형성 영역에 저장되고, 이에 따라 킥(kink)이 발생하거나, 동작 내압이 열화하거나, 또한, 채널 형성 영역의 전위가 안정되지 않기 때문에 지연 시간의 주파수의 의존성이 생기는 등의 기판 부유 효과에 의해 생기는 여러가지 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기 문제점을 해결하기 위해 이루어진 것으로, 기판 부유 효과의 저감을 도모한 SOI 구조의 반도체 장치를 얻는 것을 목적으로 한다.

본 발명에 따른 반도체 장치는, 반도체 기판, 매립 절연층 및 SOI층(3)으로 이루어지는 SOI 구조를 나타내고 있고, 상기 SOI층에 설치되고, 각각에 소정의 소자가 형성되는 복수의 소자 형성 영역과, 상기 SOI층에 설치되고, 상기 복수의 소자 형성 영역 사이를 절연 소자 분리하는 소자 분리 영역과, 상기 SOI층에 설치되고, 외부로부터 전위 고정 가능한 보디 영역을 구비하여, 상기 소자 분리 영역 중 적어도 일부의 영역은, 상층부에 설치된 부분 절연 영역과 하층부에 존재하는 상기 SOI층의 일부인 반도체 영역으로 구성되는 부분 분리 영역을 포함하며, 상기 반도체 영역은, 상기 복수의 상기 소자 형성 영역 중 적어도 1개의 소자 형성 영역 및 상기 보디 영역과 접하여 형성되어 있다.

본 발명에 따른 반도체 장치에 있어서, 상기 복수의 소자 형성 영역은, 제1 소자층의 복수의 제1 소자 형성 영역과 제2 소자층의 복수의 제2 소자 형성 영역을 포함하고, 상기 소자 분리 영역은 상기 SOI층을 관통한 완전 절연 영역을 포함하는 완전 분리 영역을 더욱 포함하며, 상기 부분 분리 영역은 제1 및 제2 부분 분리 영역을 포함하고, 상기 복수의 제1 소자 형성 영역은 각각 상기 제1 부분 분리 영역에 의해 소자 분리되고, 상기 복수의 제2 소자 형성 영역은 각각 상기 제2 부분 분리 영역에 의해 소자 분리되고, 상기 복수의 제1 소자 형성 영역과 상기 복수의 제2 소자 형성 영역은 상기 완전 분리 영역에 의해 소자 분리된다.

본 발명에 따른 반도체 장치에 있어서, 상기 복수의 소자 형성 영역은, 제1 회로층의 복수의 소자 형성 영역과 제2 회로층의 복수의 소자 형성 영역을 포함하고, 상기 제1 회로층의 복수의 소자 형성 영역은 상기 SOI층을 관통한 완전 분리 영역에 의해 소자 분리되고, 상기 제2 회로층의 복수의 소자 형성 영역은 상기 부분 분리 영역에 의해 소자 분리되어 있다.

본 발명에 따른 반도체 장치에 있어서, 상기 SOI층은 제1 및 제2 부분 SOI층을 포함하고, 상기 제1 부분 SOI층의 막 두께는 상기 제2 부분 SOI층의 막 두께보다도 얇게 형성되며, 상기 복수의 제1 소자 형성 영역은 상기 제1 부분 SOI층에 형성되고, 상기 복수의 제2 소자 형성 영역은 상기 제2 부분 SOI층에 형성된다.

본 발명에 따른 반도체 장치에 있어서, 상기 복수의 소자 형성 영역은, 소정의 회로층 소자 형성 영역과 상기 소정의 회로층 이외의 다른 회로층 소자 형성 영역을 포함하고, 상기 소정의 회로층 소자 형성 영역과 상기 다른 회로층 소자 형성 영역은 상기 SOI층을 관통한 완전 분리 영역에 의해 소자 분리된다.

본 발명에 따른 반도체 장치에 있어서, 상기 복수의 소자 형성 영역 중, 상기 부분 분리 영역에 의해 소자 분리된 소자 형성 영역에 형성되는 소자의 활성 영역의 상기 SOI층 표면에서 형성 깊이는, 상기 부분 분리 영역의 형성 깊이보다 얇다.

본 발명에 따른 반도체 장치에 있어서, 상기 반도체 영역은 폴리실리콘 영역을 포함한다.

본 발명에 따른 반도체 장치에 있어서, 상기 부분 절연 영역은 유전율이 상기 매립 절연층보다 낮은 저유전율막을 포함한다.

본 발명에 따른 반도체 장치에 있어서, 상기 부분 절연 영역은 적어도 측면에 설치된 부분 절연막과 그것

이외의 영역에 설치되고, 유전율이 상기 부분 절연막보다 낮은 저유전율을 포함한다.

본 발명에 따른 반도체 장치에 있어서, 상기 소자 분리 영역은 복수의 소자 분리 영역을 포함하고, 상기 복수의 소자 분리 영역의 적어도 1개의 영역은 소정의 형성폭으로 상기 반도체 기판의 표면에 대해 거의 수직으로 연장되어 형성된다.

본 발명에 따른 반도체 장치는, 반도체 기판, 매립 절연층 및 SOI층으로 이루어지는 SOI 구조를 나타내고 있고, 상기 SOI층에 설치되고, 각각에 소정의 소자가 형성되는 복수의 소자 형성 영역과, 상기 SOI층에 설치되고, 상기 복수의 소자 형성 영역 사이를 절연 소자 분리하는 소자 분리 영역과, 외부로부터 전위 고정 가능한 보디 영역을 구비하며, 상기 보디 영역은, 상기 복수의 소자 형성 영역 중, 적어도 1개의 소자 형성 영역의 표면 혹은 이면에 접하도록 형성된다.

본 발명에 따른 반도체 장치에 있어서, 상기 보디 영역은, 상기 매립 절연층의 상층부에 형성되고, 상기 적어도 1개의 소자 형성 영역의 이면에 접하고 있다.

본 발명에 따른 반도체 장치에 있어서, 상기 보디 영역은, 상기 매립 절연층을 관통하여 형성되고, 상기 적어도 1개의 소자 형성 영역의 이면에 접하고 있다.

본 발명에 따른 반도체 장치에 있어서, 상기 보디 영역은, 상기 적어도 1개의 소자 형성 영역의 상층에 설치되고, 상기 적어도 1개의 소자 형성 영역의 표면에 접한다.

본 발명에 따른 반도체 장치에 있어서, 상기 소자 분리 영역 중 적어도 일부의 영역은, 상기 SOI층을 관통한 완전 절연 영역과 상기 부분 분리 영역이 연속하여 형성되는 복합 분리 영역을 포함한다.

본 발명에 따른 반도체 장치에 있어서, 상기 부분 분리 영역의 상면은 요철 없이 균일하게 형성된다.

본 발명에 따른 반도체 장치에 있어서, 상기 복합 분리 영역의 상기 반도체 영역의 막 두께는, 상기 SOI층의 막 두께의 1/2 이하로 설정된다.

본 발명에 따른 반도체 장치에 있어서, 상기 복합 분리 영역에 있어서 상기 완전 절연 영역의 형성폭은 상기 복합 분리 영역 전체의 형성폭의 1/2 이하로 설정된다.

본 발명에 따른 반도체 장치에 있어서, 상기 소자 분리 영역은 상기 SOI층을 관통한 완전 절연 영역을 갖는 완전 분리 영역을 포함하고, 상기 복수의 소자 형성 영역은 상호 인접하여 형성되는 입출력 NMOS 트랜지스터 형성 영역 및 입출력 PMOS 트랜지스터 형성 영역을 포함하며, 상기 완전 분리 영역은 적어도 상기 입출력 NMOS 트랜지스터 형성 영역과 상기 입출력 PMOS 트랜지스터 형성 영역과의 경계 근방 영역에 형성된다.

본 발명에 따른 반도체 장치에 있어서, 상기 소자 형성 영역은 입출력 NMOS 트랜지스터 형성 영역 혹은 입출력 PMOS 트랜지스터 형성 영역과 인접하여 형성되는 내부 회로 형성 영역을 더욱 포함하며, 상기 완전 분리 영역은, 상기 입출력 NMOS 트랜지스터 형성 영역 및 상기 입출력 PMOS 트랜지스터 형성 영역 중 상기 내부 회로 형성 영역과 인접 배치된 영역과 상기 내부 회로 형성 영역과의 경계 근방 영역에 더욱 형성된다.

본 발명에 따른 반도체 장치에 있어서, 상기 소자 분리 영역은 상기 SOI층을 관통한 완전 절연 영역을 포함하는 완전 분리 영역을 포함하고, 상기 복수의 소자 형성 영역은 상호 인접하여 형성되는 NMOS 트랜지스터 형성 영역 및 PMOS 트랜지스터 형성 영역을 포함하며, 상기 완전 분리 영역은, 상기 NMOS 트랜지스터 형성 영역과 상기 입출력 PMOS 트랜지스터 형성 영역과의 경계 근방의 상기 PMOS 트랜지스터 형성 영역의 내인 완전 분리 영역 형성 개소에 형성되고, 상기 부분 분리 영역은 상기 NMOS 트랜지스터 형성 영역의 주변 영역, 및 상기 완전 분리 영역 형성 개소를 제외하는 상기 NMOS 트랜지스터 형성 영역의 주변 영역에 형성된다.

본 발명에 따른 반도체 장치에 있어서, 상기 소자 분리 영역은 상기 SOI층을 관통한 완전 절연 영역을 포함하는 완전 분리 영역을 포함하고, 상기 복수의 소자 형성 영역은 MOS 트랜지스터 형성 영역을 포함하며, 상기 부분 분리 영역은 상기 MOS 트랜지스터 형성 영역의 게이트 전극의 적어도 일단 근방의 부분 분리 영역 형성 개소에 형성되며, 상기 완전 절연 영역은, 상기 부분 분리 영역 형성 개소를 제외하는 상기 MOS 트랜지스터 형성 영역의 주변 영역에 형성된다.

본 발명에 따른 반도체 장치에 있어서, 상기 복수의 소자 형성 영역은 제1 도전형의 트랜지스터 형성 영역을 포함하고, 상기 부분 분리 영역은 상기 트랜지스터 형성 영역의 주위에 둘러싸여 형성되는 주변 부분 분리 영역을 포함하며, 상기 보디 영역은, 상기 주변 부분 분리 영역의 주위에 둘러싸여 형성되는 제2 도전형의 주변 보디 영역을 포함한다.

본 발명에 따른 반도체 장치에 있어서, 상기 복수의 소자 형성 영역은 MOS 트랜지스터 형성 영역을 포함하고, 상기 보디 영역은 상기 MOS 트랜지스터 형성 영역의 소스 영역에 인접하여 형성되는 소스 인접 보디 영역을 포함하며, 상기 소스 영역 및 상기 소스 인접 보디 영역에 공통 접속되는 전위 설정 영역을 더 구비한다.

본 발명에 따른 반도체 장치에 있어서, 상기 부분 분리 영역에서의 반도체 영역은 제1 및 제2 부분 반도체 영역을 포함하고, 상기 제1 부분 반도체 영역의 불순물 농도를 상기 제2 부분 반도체 영역의 불순물 농도보다도 높게 설정하고 있다.

본 발명에 따른 반도체 장치에 있어서, 상기 제1 부분 반도체 영역은 상기 복수의 소자 형성 영역 중 분리 대상의 소자 형성 영역에 인접하여 형성되는 주변 영역을 포함하고, 상기 제2 부분 반도체 영역은 상기 주변 영역을 제외하는 상기 반도체 영역의 중심 영역을 포함한다.

본 발명에 따른 반도체 장치에 있어서, 상기 복수의 소자 형성 영역은 MOS 트랜지스터 형성 영역을 포함하고, 상기 부분 분리 영역은 상기 MOS 트랜지스터 형성 영역의 주위에 둘러싸여 형성되며, 상기 제1 부분 반도체 영역은 상기 MOS 트랜지스터 형성 영역의 게이트 전극 근방 영역을 포함하고, 상기 제2 부분

반도체 영역은 상기 MOS 트랜지스터 형성 영역의 드레인/소스 근방 영역을 포함한다.

본 발명에 따른 반도체 장치에 있어서, 상기 복수의 소자 형성 영역은 제1 도전형의 MOS 트랜지스터 형성 영역을 포함하고, 상기 부분 분리 영역의 상기 반도체 영역은 제2 도전형의 영역을 포함하며, 상기 부분 분리 영역에 있어서의 상기 반도체 영역의 불순물 농도의 피크가, 상기 MOS 트랜지스터 형성 영역 내에서 상기 반도체 영역에 접하여 형성되는 드레인/소스 영역의 불순물 농도의 피크보다, 상기 SOI층의 표면으로부터의 깊이가 깊어지도록 설정된다.

본 발명에 따른 반도체 장치에 있어서, 상기 복수의 소자 형성 영역은 MOS 트랜지스터 형성 영역을 포함하고, 상기 MOS 트랜지스터 형성 영역의 채널 형성 영역의 불순물 농도의 피크가, 상기 부분 분리 영역에서의 상기 반도체 영역의 불순물 농도의 피크보다, SOI층의 표면에서의 깊이가 깊어지도록 설정된다.

본 발명에 따른 반도체 장치에 있어서, 상기 복합 분리 영역에 있어서의 반도체 영역은, 상기 완전 절연 영역에 인접하여 형성되는 제1 부분 반도체 영역 영역과 그 이외의 상기 반도체 영역인 제2 부분 반도체 영역을 포함하고, 상기 제1 부분 반도체 영역의 불순물 농도를 상기 제2 부분 반도체 영역의 불순물 농도보다도 높게 설정하고 있다.

본 발명에 따른 반도체 장치에 있어서, 상기 부분 분리 영역의 표면에서의 각부의 곡률 반경보다 저면에 있어서의 각부의 곡률 반경을 커지도록 설정하고 있다.

본 발명에 따른 반도체 장치의 상기 복합 분리 영역에 있어서, 상기 부분 절연 영역의 저면에 있어서의 각부의 곡률 반경보다 상기 절연 분리 영역과 상기 부분 절연 영역 사이에 생기는 단차부의 곡률 반경을 작게 하고 있다.

본 발명에 따른 반도체 장치에 있어서, 상기 소자 분리 영역은 상기 SOI층을 관통한 완전 절연 영역을 갖는 완전 분리 영역을 포함하고, 상기 SOI층의 상층부의 인덕턴스 형성 영역에 형성되는 인덕턴스 성분을 더 구비하며, 상기 완전 분리 영역은 상기 인덕턴스 형성 영역의 아래쪽에 형성된다.

본 발명에 따른 반도체 장치에 있어서, 상기 복수의 소자 형성 영역은 MOS 트랜지스터 형성 영역을 포함하며, 상기 보디 영역은 상기 MOS 트랜지스터 형성 영역에 형성되는 MOS 트랜지스터의 게이트 전극에 전기적으로 접속되는 게이트 접속 보디 영역을 포함하고, 상기 부분 분리 영역은 상기 MOS 트랜지스터 형성 영역의 주위에 둘러싸여 형성된다.

본 발명에 따른 반도체 장치에 있어서, 상기 반도체 영역은 제1 도전형의 영역을 포함하고, 상기 소자의 활성 영역은 제2 도전형을 포함하며, 상기 소자의 활성 영역의 형성 깊이는 발트 인 상태 시에 상기 소자의 활성 영역으로부터 연장되는 공핍층이 상기 매립 절연층에 도달하지 않는 레벨로 설정된다.

본 발명에 따른 반도체 장치에 있어서, 상기 복수의 소자 형성 영역은 필드 트랜지스터 형성 영역을 포함하며, 상기 필드 트랜지스터 형성 영역 내에 형성되는 필드 트랜지스터는, 상호 독립하여 형성되는 제1 및 제2 활성 영역과, 상기 제1 및 제2 활성 영역 사이에 형성되고, 상층부에 설치된 필드 트랜지스터용 부분 절연 영역과 하층부에 존재하는 상기 SOI층의 일부인 필드 트랜지스터용 반도체 영역으로 구성되는 게이트부를 포함한다.

본 발명에 따른 반도체 장치는, 반도체 기판, 매립 절연층 및 SOI층으로 이루어지는 SOI 구조를 내재하고 있고, 상기 SOI층에 설치되고, 소정의 소자가 형성되는 소자 형성 영역과, 상기 SOI층에 설치되고, 상기 소자 형성 영역의 주위에 둘러싸여 형성되는 주변 소자 분리 영역을 구비하며, 상기 주변 소자 분리 영역은, 상층부에 설치된 부분 절연 영역과 하층부에 존재하는 상기 SOI층의 일부인 반도체 영역으로 구성되는 부분 분리 영역을 포함하며, 상기 반도체 영역은 적어도 1개의 상기 소자 형성 영역에 접하여 형성됨과 함께, 부유 상태로 설정된다.

본 발명에 따른 반도체 장치의 제조 방법은, (a) 반도체 기판, 매립 절연층 및 SOI층으로 이루어지는 SOI 구조의 SOI 기판을 준비하는 단계와, (b) 상기 SOI층을 선택적으로 표면으로부터 관통시키지 않고 제거하여, 복수의 트렌치를 형성하는 단계를 구비하고, 상기 복수의 트렌치 사이의 상기 SOI층의 영역이 복수의 소자 형성 영역으로 되고, (c) 상기 복수의 트렌치 각각에 절연막을 매립하는 단계를 더 구비하고, 상기 복수의 트렌치 중 적어도 1개의 트렌치 내의 절연막과 상기 적어도 1개의 트렌치 하의 상기 SOI층에 의해 부분 분리 영역이 구성되며, (d) 상기 복수의 소자 형성 영역 각각에 소정의 소자를 형성하는 단계를 더 구비하고 있다.

본 발명에 따른 반도체 장치의 제조 방법에 있어서, 상기 복수의 트렌치는 제1 및 제2 트렌치를 포함하고, 상기 적어도 하나의 트렌치는 상기 제1 트렌치를 포함하고, 상기 단계 (b)의 후, 단계 (c)의 전에, (e) 상기 제1 및 제2 트렌치 중, 상기 제2 트렌치의 바닥으로부터 상기 SOI층을 더욱 제거하여, 상기 SOI층을 관통시키는 단계를 더 구비하고, 상기 단계 (c)에 의해, 상기 제1 트렌치 내의 절연막과 상기 제1 트렌치 하의 상기 SOI층에 의해 상기 부분 분리 영역이 구성되며, 상기 SOI층을 관통한 상기 제2 트렌치 내의 절연막에 의해 완전 분리 영역이 구성된다.

본 발명에 따른 반도체 장치의 제조 방법에 있어서, 상기 제2 트렌치의 형성폭은 상기 제1 트렌치의 형성폭보다 넓고, 상기 단계 (b)는, (b-1) 상기 제1 트렌치의 저면은 막히고, 제2 트렌치의 저면의 중심부는 노출하는 정도로, 상기 제1 및 제2 트렌치 각각의 측면에 측벽체를 형성하는 단계와, (b-2) 상기 측벽체를 마스크로 하여 상기 제2 트렌치의 중심부 아래의 상기 SOI층을 관통시키는 단계를 구비한다.

본 발명에 따른 반도체 장치의 제조 방법에 있어서, 상기 단계 (b)의 후, (f) 상기 복수의 트렌치의 하층의 상기 SOI층에 불순물을 도입하여 고농도 영역을 형성하는 단계를 더 구비한다.

본 발명에 따른 반도체 장치의 제조 방법은, (a) 반도체 기판, 매립 절연층 및 실리콘층으로 이루어지는 SOI 구조의 SOI 기판을 준비하는 단계와, (b) 상기 실리콘층을 선택적으로 제거하여 관통시켜 관통부를 설치하는 단계와, (c) 상기 실리콘층의 상기 관통부에 상기 실리콘층의 표면으로부터 돌출하도록 제1 절연막을 매립함과 함께, 상기 실리콘층 상에 제2 절연막을 선택적으로 형성하는 단계와, (d) 상기 제2 절연막이 형성되어 있지 않은 상기 실리콘층의 표면으로부터 상층에 걸쳐 에피택셜 성장시켜 에피택셜 성장

층을 형성하는 단계를 구비하고, 상기 실리콘층과 상기 에피택셜 성장층에 의해 SOI층이 구성되며, 상기 제2 절연막과 그 하층의 상기 실리콘층에 의해 부분 분리 영역이 구성되고, 상기 제1 절연막에 의해 완전 분리 영역이 구성되며, (e) 상기 부분 분리 영역 혹은 상기 완전 분리 영역에 의해 소자 분리되는 복수의 소자 형성 영역 각각에 소정의 소자를 형성하는 단계를 더 구비하고 있다.

본 발명에 따른 반도체 장치의 제조 방법은, (a) 반도체 기판, 매립 절연층 및 SOI층으로 이루어지는 SOI 구조의 SOI 기판을 준비하는 단계와, (b) 상기 SOI층을 선택적으로 제거하고, 각각 이 상기 SOI층을 관통한 제1 및 제2 트렌치로 이루어지는 복수의 트렌치를 형성하는 단계를 구비하고, 상기 복수의 트렌치 사이의 상기 SOI층의 영역이 복수의 소자 형성 영역으로 되고, (c) 상기 제1 및 제2 트렌치 중, 상기 제1 트렌치 내의 저면 및 측면 상에 폴리실리콘층을 선택적으로 퇴적하는 단계와, (d) 상기 제1 및 제2 트렌치에 절연막을 매립하는 단계와, (e) 상기 제1 트렌치 내의 상기 폴리실리콘층을, 상기 제1 트렌치의 개구로부터 저면의 방향으로 부분적으로 산화시키는 단계를 더 구비하고, 상기 제1 트렌치 내의 절연막과 상기 제1 트렌치 내에 산화되지 않고서 잔존한 상기 폴리실리콘층에 의해 부분 분리 영역이 구성되고, 상기 제2 트렌치 내의 절연막에 의해 완전 분리 영역이 구성되고, (f) 상기 복수의 소자 형성 영역 각각에 소정의 소자를 형성하는 단계를 더 구비하고 있다.

본 발명에 따른 반도체 장치의 제조 방법은, (a) 반도체 기판, 매립 절연층 및 SOI층으로 이루어지는 SOI 구조의 SOI 기판을 준비하는 단계와, (b) 상기 SOI층을 선택적으로 제거하여 복수의 소자 형성 영역을 형성하는 단계와, (c) 상기 복수의 소자 형성 영역을 마스크하면서, 상기 매립 절연층에 대해 등방성 에칭을 실시하고, 상기 복수의 소자 형성 영역 중 적어도 1개의 소자 형성 영역의 단부 이면을 노출시키면서, 상기 매립 절연층의 상층부를 제거하여 구멍부를 형성하는 단계와, (d) 상기 구멍부를 폴리실리콘층으로 매립하고, 상기 폴리실리콘층을 포함하고, 상기 적어도 1개의 소자 형성 영역의 단부 저면에 전기적 접속 관계를 갖는 보디 영역을 형성하는 단계와, (e) 상기 SOI층 내에서 상기 복수의 소자 형성 영역을 절연 분리하는 단계와, (f) 상기 보디 영역을 외부로부터 전위 고정 가능하게 합과 함께, 상기 복수의 소자 형성 영역 각각에 소정의 소자를 형성하는 단계를 더 구비하고 있다.

본 발명에 따른 반도체 장치의 제조 방법에 있어서, 상기 단계 (d)는, (d-1) 상기 적어도 1개의 소자 형성 영역의 단부 이면으로부터 에피택셜 성장시켜서, 상기 구멍부에 에피택셜 성장층을 형성하는 단계와, (d-2) 상기 에피택셜 성장층에 접하도록, 상기 구멍부를 상기 폴리실리콘층으로 매립하고, 상기 에피택셜 성장층과 상기 폴리실리콘층으로 이루어지는 상기 보디 영역을 형성하는 단계를 구비하고 있다.

본 발명에 따른 반도체 장치의 제조 방법에 있어서, 상기 단계 (d)는, (d-1) 상기 SOI층의 상층부에 불순물 농도 분포의 피크가 존재하고, 또한 채널링 현상이 생기도록 소정의 도전형의 불순물을 도입하여 상기 소정의 소자의 활성 영역을 형성하는 단계를 포함한다.

본 발명에 따른 반도체 장치의 제조 방법은, (a) 반도체 기판, 매립 절연층 및 SOI층으로 이루어지는 SOI 구조의 SOI 기판을 준비하는 단계와, (b) 상기 SOI층을 선택적으로 표면에서 관통시켜 적어도 1개의 제1 트렌치를 형성하는 단계와, (c) 상기 SOI층을 선택적으로 표면으로부터 관통시키지 않고 복수의 제2 트렌치를 형성하는 단계를 구비하고, 상기 복수의 제2 트렌치 사이의 상기 SOI층의 영역이 복수의 소자 형성 영역이 되고, 상기 복수의 제2 트렌치는 복합 트렌치와 비관통 트렌치를 포함하며, 상기 복합 트렌치는 상기 적어도 1개의 제1 트렌치를 포함하고 상기 적어도 하나의 제1 트렌치의 형성폭보다 넓게 형성됨으로써, 상기 제1 트렌치 형성부의 관통부와 상기 제1 트렌치 형성부 이외의 비관통부로 이루어지며, 상기 비관통 트렌치는 상기 적어도 1개의 제1 트렌치를 포함하지 않고 비관통부만으로 형성되고, (d) 상기 복합 트렌치 및 비관통 트렌치 각각에 절연막을 매립하는 단계를 더 구비하고, 상기 복합 트렌치의 상기 비관통부의 절연막 및 상기 비관통부 하의 상기 SOI층으로 이루어지는 부분 분리부와 상기 관통부의 절연막으로 이루어지는 완전 분리부로부터 복합 분리 영역이 구성되며, 상기 비관통 트렌치 내의 절연막과 그 하층의 상기 SOI층에 의해 부분 분리 영역이 구성되고, (e) 상기 복수의 소자 형성 영역 각각에 소정의 소자를 형성하는 단계를 더 구비하고 있다.

본 발명에 따른 반도체 장치의 설계 방법은, 반도체 기판, 매립 절연층 및 SOI층으로 이루어지며, 상기 SOI층에 CMOS 디바이스가 형성되는 반도체 장치를 설계하는 방법으로서, (a) 웰 영역 내 형성되는 제1 도전형의 제1 MOS 트랜지스터와 상기 웰 영역 밖에 형성되는 제2 도전형의 제2 MOS 트랜지스터로 이루어지는 CMOS 디바이스의 과거 데이터를 얻는 단계와, (b) 상기 과거 데이터에 기초하여 제1 및 제2 MOS 트랜지스터의 형성 영역을 설정하는 단계와, (c) 상기 과거 데이터에 있어서의 상기 웰 영역의 외주 근방 영역에, 상기 SOI층을 관통하는 완전 절연 영역으로 이루어지는 완전 분리 영역을 설정하는 단계와 구비하고 있다.

본 발명의 구성 및 작용

<<실시 형태 1>>

도 1~도 3은 본 발명의 실시 형태 1인 SOI 구조의 반도체 장치의 구성을 나타낸 도면이다. 도 1 및 도 2는 단면도, 도 3은 평면도이고, 도 3의 A-A 단면 및 B-B 단면이 각각 도 1 및 도 2로 된다.

이들 도면에 도시한 바와 같이, 실리콘 기판(1), 매립 산화막(2) 및 SOI층으로 이루어지는 SOI 구조의 반도체 장치에 있어서의 SOI층(3)의 각 트랜지스터 형성 영역은 하층부에 웰 영역이 형성되는 부분 산화막(31)에 의해 분리된다. 그리고, NMOS 트랜지스터 사이를 분리하는 부분 산화막(31)의 하층에 p형의 웰 영역(11)이 형성되고, PMOS 트랜지스터 사이를 분리하는 부분 산화막(31)의 하층에 n형의 웰 영역(12)이 형성되고, NMOS 트랜지스터, PMOS 트랜지스터 사이를 분리하는 부분 산화막(31)의 하층에 p형의 웰 영역(11: NMOS 트랜지스터측) 및 n형의 웰 영역(12: PMOS 트랜지스터측)이 형성된다. 또, 웰 영역(11)은 NMOS 트랜지스터군의 드레인 영역(5) 및 소스 영역(6)을 둘러싸도록 형성되고, 웰 영역(12)은 PMOS 트랜지스터군의 드레인 영역(5) 및 소스 영역(6)을 둘러싸도록 형성된다. 또한, 실시 형태 1에서는 SOI층(3) 상을 홈상 절연막(4)으로 덮고 있다.

실시 형태 1에 있어서, 부분 산화막(31)에 따라서 다른 트랜지스터로부터 분리되는 1단위의 MOS 트랜지스

터는, S01층(3) 중에 형성되는 드레인 영역(5), 소스 영역(6) 및 채널 형성 영역(7), 채널 형성 영역(7) 상에 형성되는 게이트 산화막(8), 게이트 산화막(8) 상에 형성되는 게이트 전극(9)으로 구성된다. 또한, 층간 절연막(4) 상에 형성된 배선층(22)은, 층간 절연막(4) 중에 설치된 콘택트(21)를 통해 드레인 영역(5) 혹은 소스 영역(6)과 전기적으로 접속된다.

또한, 도 2 및 도 3에 도시한 바와 같이, S01층(3) 중의 웰 영역(11) 사이에 보디 영역(10)이 형성되고, 보디 영역(10)은 인접하는 웰 영역(11)에 접하고 있다. 그리고, 층간 절연막(4) 상에 형성된 배선층(25)은, 층간 절연막(4) 중에 설치된 보디 콘택트(23)를 통해 보디 영역(10)과 전기적으로 접속된다. 또한, 층간 절연막(4) 상에 형성된 배선층(26)은, 층간 절연막(4) 중에 설치된 게이트 콘택트(24)를 통해 게이트 전극(9)과 전기적으로 접속된다.

이와 같이, 실시 형태 1의 반도체 장치에서는, 도 1~도 3에 도시한 바와 같이, 도 10에서 도시한 종래 구성과 달리 소자 분리 영역의 부분 산화막(31)이 S01층(3)의 하부에까지 도달하지 않고, 분리 대상이 되는 트랜지스터의 채널 형성 영역과 동일한 도전형의 불순물이 도입된 웰 영역(11, 12)이 부분 산화막(31)의 하층에 설치된다.

따라서, 각 트랜지스터의 기판 전위의 고정을, 배선층(25), 보디 콘택트(23), 고농도의 보디 영역(10) 및 웰 영역(11)을 통해 행할 수 있다. 또, PMOS 트랜지스터측도 마찬가지로, 보디 영역을 통해 각 트랜지스터의 기판 전위를 고정할 수 있다.

이하, 도 1~도 3을 참조하여 그 상세를 설명한다. 매립 산화막(2)의 막 두께는 예를 들면 100~500nm 정도이고, S01층(3)의 막 두께는 30~200nm 정도이다. 채널 형성 영역(7)은, 예를 들면 $10^{17} \sim 10^{18}/\text{cm}^2$ 정도의 제1 도전형의 불순물(NMOS에서는 p형 불순물, PMOS에서는 n형 불순물)의 도입에 의해 형성된다. 드레인 영역(5) 및 소스 영역(6)은 채널 형성 영역(7)과 인접하여, 예를 들면 $10^{18} \sim 10^{19}/\text{cm}^2$ 정도의 제2도전형의 불순물(NMOS에서는 n형 불순물, PMOS에서는 p형 불순물)의 도입에 의해 형성된다.

인접하는 트랜지스터 사이를 분리하는 부분 산화막(31)은 S01층(3)의 하층부를 웰 영역 형성용으로 예를 들면 $10 \sim 100\text{nm}$ 정도 남겨 형성된다. 부분 산화막(31)의 상면 높이는 S01층(3)의 표면 높이와 동일한 것이 미세 가공 상 바람직하지만, S01층(3)이 얇은 경우에는 소자 분리에 필요한 부분 산화막(31)의 막 두께를 취하는 것이 어렵기 때문에, S01층(3)보다 위로 들어 올린 쪽이 소자 분리 성능이 향상한다.

그리고, 산화막 분리용의 부분 산화막(31)의 하부에는 채널 형성 영역과 동일한 도전형의 웰 영역(11, 12 : 예를 들면 $10^{17} \sim 5 \cdot 10^{17}/\text{cm}^2$ 의 불순물 농도, 불순물 농도는 채널 형성 영역과 동일하거나 그 이상, 농도가 높을수록 편치스트를 방지할 수 있어 분리 성능은 좋게 된다)이 설치되어 있다.

또한, 보디 영역(10)은, 도 2에 도시한 바와 같이, 인접하는 웰 영역(11)과 동일한 도전형으로 $10^{18} \sim 10^{19}/\text{cm}^2$ 의 고농도의 불순물이 도입된다.

또, 도 2의 보디 영역(10)은, S01층(3)의 상면으로부터 하면에 걸쳐 보디 영역(10)을 형성하고, 층간 절연막(4)을 관통하여 보디 콘택트(23)를 형성하였지만, 도 4와 마찬가지로 보디 영역을 형성하여도 좋다.

도 4의 예에서는, 보디 콘택트(23)의 형상에 합쳐서 S01층(3)의 하층부에만 보디 영역(20)을 형성하고, 층간 절연막(4) 및 부분 산화막(31)을 관통하여 보디 콘택트(23)를 형성하게 된다. 이 경우, 보디 영역(20)에 인접하여 부분 산화막(31) 아래에 웰 영역(28)이 형성된다.

단, 도 4의 구조를 형성하는 경우에는 콘택트 개구 후에 보디 영역(20)을 형성하기 위한 고농도 불순물 도입을 행하는 것이 바람직하다.

여기서, 동일한 도전형의 소자 분리에 있어서는, 웰 영역(11, 12)은 채널 형성 영역의 도전형과 동일한 불순물을 도입하여 형성하는 것만이어도 좋지만, 도 1에 도시한 바와 같이, PMOS와 NMOS에 걸친 분리에 있어서는 NMOS 인접부에서 p형의 웰 영역(11), PMOS 인접부에서 n형의 웰 영역(12)을 설치할 필요가 있다.

이러한 S01 구조는 후술하는 실시 형태 2의 부분 트랜치에 의한 분리법을 이용하여 제조할 수 있다.

<<실시 형태 >>

<제1 형태>

도 5는 본 발명의 실시 형태 2인 S01 구조의 반도체 장치의 제1 형태의 구조를 나타낸 단면도이다.

도 5에 도시한 바와 같이, 실시 형태 2에서는 NMOS 트랜지스터 및 PMOS 트랜지스터 각각의 내부의 트랜지스터 분리를 부분 산화막(31)과 그 하층의 웰 영역(11)(12)에 의해 행하고, 한편, PMOS 트랜지스터, NMOS 트랜지스터 사이의 분리를 완전 산화막(32)에 따라서 행하고 있다. 이러한 구성으로 함으로써, 실시 형태 1의 구조에 비교하여, PMOS, NMOS 사이의 분리폭을 작게 할 수 있거나, 래치업을 방지할 수 있다.

도 5의 구조를 실현할 때에는, 소스 영역(6), 드레인 영역(5)을 미온 주입으로 형성할 때에, 주입 미온이 부분 산화막(31)을 빠져 나가, 원래는 드레인 영역(5) 및 소스 영역(6)과 반대의 도전 형식으로 할 필요가 있는 부분 산화막(31) 하의 웰 영역(11)(12)에, 드레인 영역(5) 및 소스 영역(6)용의 불순물이 도입됨으로써, 부분 산화막(31) 및 웰 영역(11)에 의한 분리 특성이 손상될 우려가 있다.

<제2 형태>

이것을 회피하기 위해서는, 도 6에 도시한 제2 형태로 나타낸 바와 같이, 형성 깊이가 S01층(3)의 막 두께보다 충분히 얇은 드레인 영역(5s) 및 소스 영역(6s)을 형성하는 쪽이 바람직하다. 즉, 부분 산화막(31)의 하면보다도 드레인 영역(5s) 및 소스 영역(6s)을 얇게 형성하면 좋다. 도 6과 같이, 형성 깊이가 얇은 드레인 영역(5s) 및 소스 영역(6s)을 형성하기 위해서는, 저에너지 미온 주입에 의해 소스,

드레인 영역(6, 5)을 형성하면 좋다.

또, 드레인 영역(5s) 및 소스 영역(6s)의 형성 깊이는, 빌트 인 상태(PN 접합에 걸쳐 있는 바이어스 전압이 0일 때의 상태)에서, 소스/드레인으로부터의 공핍층이 매립 산화막(2)까지 도달한다고 하는 조건을 만족하는 깊이로 형성하는 것이 이상적이다.

왜냐하면, 빌트 인 상태에서, 소스/드레인 공핍층이 매립 산화막(2)까지 도달하기 때문에, 소스/드레인 영역(5s/6s)와 웰 영역(11)(12)과의 접합 용량의 저감화를 도모하면서, 부분 산화막(31) 및 웰 영역(11)(12)에 의한 부분 분리 영역에 의한 분리 특성의 향상을 도모할 수 있기 때문이다.

<제3 형태>

또 여기서, 도 7에 도시한 실시 형태 2의 제3 형태와 같이, 하층부의 일부가 웰 영역(29)으로 되지만 S01층(3)의 상면으로부터 하면에 걸쳐서 산화막(33)을 이용하여 NMOS 트랜지스터, PMOS 트랜지스터 사이를 완전 분리하는 것도 가능하다. 제3 형태에서는 산화막(33)용의 트렌치를 부분 산화막(31)용의 트렌치와 함께 설치하여 형성하기 쉬운 만큼, 완전 산화막(32)에 의한 분리보다 레미아웃이 용이하게 될 가능성이 높다.

이하, 산화막(33)에 의한 완전 분리를, S01층(3)을 관통한 관통부의 산화막(33)에 의한 완전 분리 영역과, S01층(3)을 관통하지 않는 비관통부의 산화막(33)과 그 하층의 S01층(3)의 웰 영역(29)에 의한 부분 분리 영역이 연속하여 형성되는 복합 분리 영역에 의한 분리라 칭하는 경우가 있다.

<제4 형태>

또한, 도 55에 도시한 제4 형태와 같이, 단독으로 부분 분리를 행하는 부분 산화막(31)과 복합 분리 영역의 산화막(33)의 상면은 요철이 없이 균일하게 되도록 형성함으로써, 게이트 전극(9)의 형성 시의 패터닝이 용이하게 되는 효과를 발휘한다.

<제5 형태>

도 56은 도 7에서 도시한 복합 분리 영역의 산화막(33)의 구조의 상세를 나타낸 단면도이다. 상기 도면에 도시한 바와 같이, 산화막(33)은 중심부(관통부)가 S01층(3)의 상면으로부터 하면에 도달하여 형성되지만 주변부(비관통부)는 하면에 도달하지 않고 형성된다. 산화막(33)의 주변부의 아래쪽으로 잔존하는 S01층(3)의 일부가 웰 영역(29)으로 된다. 이러한 구조의 산화막(33)에 있어서, 산화막(33)의 주변부 아래의 S01층(3)은 웰 영역(29)의 막 두께 TB와, 웰 영역(29)으로부터 상층의 S01층(3)의 막 두께 TA 사이에, TA>TB가 성립하도록 형성한다. 즉, S01층(3)의 막 두께(TA+TB)의 반 미만으로 웰 영역(29)의 막 두께를 설정한다.

제5 형태와 같이 TA>TB가 성립하도록 형성하면, 산화막(33)의 분리에 의한 임계치 전압(산화막 33을 게이트 산화막이라고 판단한 때의 임계치 전압)을 충분히 상승시켜서, 충분히 고도한 분리 내성을 얻을 수 있고, 웰 영역(29)에 접하여 형성되는 드레인/소스 영역과 웰 영역(29)과의 PN 접합 면적을 충분히 저하시킴으로써 누설 전류의 발생을 억제하고, 상기 PN 접합 용량을 저하시킴으로써 고속 동작이 가능해진다.

<제6 형태>

도 57은 도 7에서 도시한 산화막(33)의 구조의 상세를 나타낸 단면도이다. 상기 도면에 도시한 바와 같이, S01층(3)의 상면으로부터 하면에 도달하여 형성되는 산화막(33)의 중심부의 형성폭인 완전 분리폭 WC와, 산화막(33) 전체의 산화막 분리폭 WD 사이에, WC<WD/2가 성립하도록 형성한다.

제6 형태와 같이 구성함으로써, 산화막(33)의 주변부 하에 형성되는 웰 영역(29)의 면적을 충분히 확보할 수 있기 때문에, 웰 영역(29)을 통해 기판 부유 효과를 충분히 억제하는 레벨로 트랜지스터의 기판 전위 고정을 도모할 수 있고, 그 결과, 트랜지스터의 안정 동작을 가능하게 한다.

또한, 완전 분리폭 WC를 칩 내에서 동일하게 함으로써, 분리 형상 관리가 용이하게 된다. 또한, 산화막(33)의 패터닝만 할 수 있으면 소자 사이를 전기적으로 완전 분리할 수 있기 때문에, 완전 분리폭 WC를 최소 디자인폭으로 설정할 수 있어, 칩 면적을 필요 최소한까지 저감시켜 집적도의 대폭적인 향상을 도모할 수 있다.

<기타>

실시 형태 2에서는, 적어도 NMOS 트랜지스터, PMOS 트랜지스터 사이를 완전 분리하는 구조를 나타내었지만, 그 이외에도, 메모리 혼재 논리 회로에 있어서, 잡음 대책을 위해 메모리부와 논리 회로부 사이를 완전 분리하는 구조도 생각된다.

또한, 완전 분리 영역과 부분 분리 영역을 병용하는 대신에, 형성 깊이가 다른 산화막을 이용하여 복수층의 부분 분리를 행하는 방법도 생각된다. 이 경우, 형성 깊이가 깊은 산화막 하의 웰 영역에는 보디 영역 등의 보디 컨택트 재료를 접속하지 않고 부유 상태로 하여 완전 분리 영역으로서 이용하는 것도 가능하다.

<제1 제조 방법 (제1 및 제2 형태)>

도 8~도 11은 실시 형태 2의 제1 및 제2 형태에 있어서의 제조 방법의 소자 분리 공정을 나타낸 단면도이다. 도 8~도 11에서 도시한 방법은 부분 트렌치 분리와 완전 트렌치 분리를 병용에 따른 방법이다.

우선, 도 8에 도시한 바와 같이, 산소 이온 주입에 의해 매립 산화막(2)을 형성하는 SIMOX법 등에 의해 형성한, 실리콘 기판(1), 매립 산화막(2) 및 S01층(3)으로 이루어지는 S01 기판을 출발 재료로 한다. 통상, S01층(3)의 막 두께는 50~200nm, 매립 산화막(2)의 막 두께는 100~400nm로 된다.

그리고, 도 9에 도시한 바와 같이, S01 기판 상에, 20nm 정도의 산화막(41)과 200nm 정도의 질화막(42)을 순차 퇴적한 후, 패터닝한 레지스트(43)를 마스크로 하여 분리 영역을 패터닝하고, 질화막(42),

산화막(41), S01층(3)의 다층막을, S01층(3)의 하층부가 잔존하도록 에칭하여 복수의 부분 트렌치(44)를 형성한다. 복수의 부분 트렌치(44)는, 소정의 폭으로 실리콘 기판(1)에 대해 거의 수직 방향으로 연장되어 형성되기 때문에, 집적도를 손상하지 않고 미세화를 유지한 소자 분리를 행할 수 있다. 이 상태에서, 도 12에 도시한 바와 같이 고농도 웰 영역(52: 웰 영역 11, 12에 상당) 형성을 위해, 미온 주입을 행하면 분리 내압을 보다 높일 수 있다.

다음에, 도 10에 도시한 바와 같이, 복수의 부분 트렌치(44) 중, 일부를 덮도록 레지스트(45)를 형성하여, 레지스트(45)로 덮이지 않은 부분 트렌치(44)를 더욱 에칭함으로써, S01층(3)을 관통시킨 완전 트렌치(48)를 형성한다.

다음에, 도 11에 도시한 바와 같이, 500nm 정도의 산화막을 퇴적하고, 통상의 트렌치 분리와 마찬가지로의 수법으로 CMP 처리에 의해 질화막(42)의 도중까지 연마하고, 그 후, 질화막(42), 산화막(41)의 제거를 행함으로써, 부분 산화막(31) 및 그 아래의 S01층(3: 웰 영역)과 완전 산화막(32)이 선택적으로 형성된 구조를 얻을 수 있다. 이와 같이, CMP 처리에 의한 산화막을 연마함으로써, 부분 산화막(31) 및 완전 산화막(32)의 상면을 요철을 균일하게 형성할 수 있다. 또, 도 9의 구조를 얻은 후, 도 12에서 도시한 미온 주입을 행한 경우에는, 도 13에 도시한 바와 같이, 부분 산화막(31) 아래에 고농도 웰 영역(52)이 형성되게 된다. 고농도 웰 영역(52)에 의해 안정성 있게 기판 전위를 고정할 수 있다.

이하, 기존의 방법으로, NMOS 트랜지스터 형성 영역에 NMOS 트랜지스터를 형성하고, PMOS 트랜지스터 형성 영역에 PMOS 트랜지스터를 형성함으로써, 도 5에서 도시한 제1 형태의 S01 구조, 혹은 도 6에서 도시한 제2 형태의 S01 구조를 얻을 수 있다.

또한, 도 10에서 도시한 공정을 생략하여 다른 공정을 상술한 바와 같이 실시하면, 전체가 부분 트렌치(44)로 되기 때문에, 도 1~도 3에서 도시한 실시 형태 1의 구조(전체가 부분 산화막 31에 의해 소자 분리된 구조)를 얻을 수 있다.

<제2 제조 방법 (제1 및 제2 형태) >

도 14~도 18은 실시 형태 2의 제1 및 제2 형태에 있어서의 제조 방법의 소자 분리 공정을 나타낸 단면도이다. 도 14~도 18에서 도시한 방법은 부분 트렌치 분리와 완전 트렌치 분리를 병용에 따른 방법이다.

우선, 도 14에 도시한 바와 같이, 실리콘 기판(1), 매립 산화막(2) 및 실리콘층(50)으로 이루어지는 적층 구조를 출발 재료로 한다. 이 때, 실리콘층(50)은 최종적으로 얻어지는 S01층(3)의 막 두께보다도 얇게 한다.

그리고, 도 15에 도시한 바와 같이, S01 기판 상에, 산화막(41)과 질화막(42)을 순차 퇴적한 후, 패터닝한 레지스트(46)를 마스크로 하여 분리 영역의 패터닝 처리를 행하고, 실리콘층(50)의 표면이 노출하도록 질화막(42) 및 산화막(41)을 에칭하여 복수의 부분 트렌치(44)를 형성한다.

다음에, 도 16에 도시한 바와 같이, 복수의 부분 트렌치(44) 중, 일부를 덮도록 레지스트(49)를 형성하여, 레지스트(49)로 덮이지 않은 부분 트렌치(44)를 더욱 에칭함으로써, 실리콘층(50)을 관통시킨 완전 트렌치(48)를 형성한다.

다음에, 도 17에 도시한 바와 같이, 산화막을 퇴적하고, 통상의 트렌치 분리와 마찬가지로의 수법으로 CMP 처리에 의해 질화막(42)의 도중까지 연마하고, 그 후, 질화막(42), 산화막(41)의 제거를 행함으로써, 부분 산화막(31) 및 그 아래의 실리콘층(50) (웰 영역)과 완전 산화막(32)이 선택적으로 형성된 구조를 얻을 수 있다.

그리고, 도 18에 도시한 바와 같이, 실리콘층(50)으로부터 에피택셜 성장시켜 에피택셜 실리콘층(51)을 형성함으로써, 실리콘층(50) 및 에피택셜 실리콘층(51)으로 이루어지는 결정성이 양호한 S01층(3)을 얻는다.

이하, 기존의 방법으로, NMOS 트랜지스터 형성 영역에 NMOS 트랜지스터를 형성하고, PMOS 트랜지스터 형성 영역에 PMOS 트랜지스터를 형성함으로써, 도 5에서 도시한 제1 형태의 S01 구조, 혹은 도 6에서 도시한 제2 형태의 S01 구조를 얻을 수 있다.

<제3 제조 방법 (제3 형태) >

도 19~도 22는 실시 형태 2의 제3 형태의 제조 방법에 있어서의 소자 분리 공정을 나타낸 단면도이다. 도 19~도 22에서 도시한 방법은 형성폭이 다른 부분 트렌치 형성에 의한 방법이다.

우선, 도 19에 도시한 바와 같이, 비교적 폭이 넓은 부분 트렌치(44A)와 비교적 폭이 좁은 부분 트렌치(44B)를 형성한다. 부분 트렌치(44A)가 완전 분리용이고, 부분 트렌치(44B)가 부분 분리용이다. 이 때, S01층(3)의 하층의 일부가 남도록 부분 트렌치(44A 및 44B)는 형성된다.

다음에 도 20에 도시한 바와 같이, 산화막(47)에서 부분 트렌치(44A 및 44B)의 측면에, 부분 트렌치(44B)의 저면은 막지만 부분 트렌치(44A)의 저면 중심부가 노출하도록 측벽을 형성한다. 이것은, 부분 트렌치(44B)의 형성폭이 부분 트렌치(44A)의 형성폭보다 좁은 것을 이용하고 있다.

다음에, 도 21에 도시한 바와 같이, 산화막(47)을 마스크로 하여, S01층(3)에 대한 실리콘 에칭을 행함으로써, 부분 트렌치(44A)의 저면의 중심부 아래의 S01층(3)을 포함하는, 상부에 산화막(47)이 형성되어 있지 않은 S01층(3)이 제거되고, 매립 산화막(2)의 표면이 노출한다.

다음에, 도 22에 도시한 바와 같이, 500nm 정도의 산화막을 퇴적하고, 통상의 트렌치 분리와 마찬가지로의 수법으로 CMP 처리에 의해 질화막(42)의 도중까지 연마하고, 그 후, 질화막(42), 산화막(41)의 제거를 행함으로써, 부분 산화막(31) (및 그 아래의 S01층 3)과 산화막(33: 및 그 일부 아래의 S01층 3)이 선택적으로 형성된 구조를 얻을 수 있다.

이하, 기존의 방법으로, NMOS 트랜지스터 형성 영역에 NMOS 트랜지스터를 형성하여, PMOS 트랜지스터 형

성 영역에 PMOS 트랜지스터를 형성함으로써, 도 7에 도시한 실시 형태 2의 제3 형태의 S01 구조를 얻을 수 있다.

<제4 제조 방법 (제3 형태)>

도 23~도 27은 실시 형태 2의 제3 형태의 제조 방법에 있어서의 소자 분리 공정을 나타낸 단면도이다. 도 23~도 27에 도시한 방법은 형성폭이 다른 부분 트랜치 형성에 의한 방법이다.

우선, 도 23에 도시한 바와 같이, 실리콘 기판(1), 매립 산화막(2) 및 S01층(3)으로 이루어지는 S01 기판을 출발 재료로 한다.

그리고, 도 24에 도시한 바와 같이, 비교적 폭이 넓은 부분 트랜치(44A)와 비교적 폭이 좁은 부분 트랜치(44B)를 형성한다. 부분 트랜치(44A)가 완전 분리용이고, 부분 트랜치(44B)가 부분 분리용이다. 이 때, S01층(3)의 하층의 일부가 남도록 부분 트랜치(44A 및 44B)는 형성된다.

다음에, 도 25에 도시한 바와 같이, 부분 트랜치(44B) 내 전체를 충전하고, 부분 트랜치(44A)의 측벽을 덮도록, 레지스트(49)를 패터닝한다. 따라서, 부분 트랜치(44A)의 저면 중심부가 확실하게 노출하고 있다.

그 후, 도 26에 도시한 바와 같이, 레지스트(49)를 마스크로 하여, S01층(3)에 대한 실리콘 에칭을 행함으로써, 부분 트랜치(44A)의 저면의 중심부 아래의 S01층(3)을 포함하는, 레지스트(49)가 상부에 형성되어 있지 않은 S01층(3)이 제거되고, 매립 산화막(2)의 표면이 노출한다.

다음에, 도 27에 도시한 바와 같이, 산화막을 퇴적하고, 통상의 트랜치 분리와 마찬가지로의 수법으로 CMP 처리에 의해 질화막(42)의 도중까지 연마하고, 그 후, 질화막(42), 산화막(41)의 제거를 행함으로써, 부분 산화막(31) 및 그 아래의 S01층(3)과 산화막(33) 및 그 아래의 S01층(3)과 선택적으로 형성된 구조를 얻을 수 있다.

<제5 제조 방법 (제3 형태)>

도 58~도 62는 실시 형태 2의 제3 형태의 제조 방법에 있어서의 소자 분리 공정을 나타낸 단면도이다.

우선, 도 58에 도시한 바와 같이, 실리콘 기판(1), 매립 산화막(2) 및 S01층(3)으로 이루어지는 S01 기판을 출발 재료로 한다.

그리고, 도 59에 도시한 바와 같이, S01 기판 상에, 산화막(41)과 질화막(42)을 순차 퇴적한 후, 패터닝한 레지스트(213)를 마스크로 하여 분리 영역의 패터닝 처리를 행하고, 매립 산화막(2)의 표면이 노출하도록 질화막(42), 산화막(41) 및 S01층(3)을 에칭에 의해 관통하여 복수의 트랜치(214)를 형성한다.

다음에, 도 60에 도시한 바와 같이, 잔존한 질화막(42) 상에 선택적으로 레지스트(215)를 형성한다. 이 때, 복수의 트랜치(214) 각각을 포함하고 트랜치(214)의 형성폭보다 넓은 영역이 개구부가 되도록 레지스트(215)를 형성한다.

도 61에 도시한 바와 같이, 레지스트(215)를 마스크로 하여 질화막(42) 및 산화막(41)과 S01층(3)의 일부를 에칭함으로써, 하층에 S01층(3)이 잔존한 부분 트랜치(216)와, 중심부의 하층이 S01층(3)을 관통한 관통부와 그 이외의 하층에 S01층(3)이 잔존한 비관통부로 이루어지는 복합 트랜치(217)를 동시에 형성한다.

그 후, 도 62에 도시한 바와 같이, HDP(고밀도 플라즈마) CVD 쪽 등에 의해 산화막을 퇴적하고, 통상의 트랜치 분리와 마찬가지로의 수법으로 CMP 처리에 의해 질화막(42)의 도중까지 연마하고, 그 후, 질화막(42), 산화막(41)의 제거를 행함으로써, 부분 산화막(31) 및 그 아래의 S01층(3)과 산화막(33) 및 그 일부 아래의 S01층(3)과 선택적으로 형성된 구조를 얻을 수 있다.

<제6 제조 방법 (제3 형태)>

제조 방법의 극단적인 예로서, 부분 분리에 의해 소자 분리된 트랜지스터의 게이트 전극 형성 후, 혹은 컨택트나 배선 공정 등의 후속 공정의 실시 단계에서, 부분 분리 영역을 S01층(3)을 관통하도록 에칭 제거하고, 그 후 산화막을 매립하여 완전 분리 영역으로 변경하는 것도 가능하다.

<기타>

상기 실시 형태 2의 제조 방법은, 트랜치 분리법으로서 SiN/SiO₂의 적층을 S01층 상에 형성하여, 소자 분리용의 산화막의 매립을 행하였지만, 다른 방법, SiN/SiO₂의 적층을 대신하여, 예를 들면 SiN/poly-Si/SiO₂에 의한 적층을 이용하여 매립 후 산화를 행하고, 트랜치의 라운딩을 행하는 등, 보다 다양한 방법을 행하여도 마찬가지로의 효과를 나타내는 것은 물론이다.

<<실시 형태 3>>

<제1 형태>

도 28은 본 발명의 실시 형태 3인 S01 구조의 반도체 장치의 제1 형태의 구조를 나타낸 단면도이다.

도 28에 도시한 바와 같이, 집적성이 요구되지(부분 산화막 31은 하층에 웰 영역을 형성하는 관계로 완전 산화막 32보다 집적도가 약간 뒤떨어진다고만 기판 부유 효과의 영향이 적은 회로(제1 회로)의 형성 영역을 완전 산화막(32)을 이용한 완전 분리 구조로 하고, 기판 부유 효과의 영향이 문제가 되는 회로(제2 회로)의 형성 영역에는 부분 산화막(31) 및 그 하층의 웰 영역(12)을 이용한 부분 분리 구조로 하고, 제1, 제2 회로의 형성 영역 사이의 분리는 완전 산화막(32)을 이용한 완전 분리 구조로 하고 있다.

또한, 그 이외에 제1 회로로서, 조밀 구조가 요구되는 SRAM, DRAM 등의 메모리셀 부분의 회로, 제2 회로로서 메모리셀 부분 이외의 회로가 있다.

도 28에 도시한 바와 같이, 제1 회로예로서는, 내부 회로 및 디지털 회로 등이 있고, 제2 회로 회로의 예로서는, I/O 버퍼 회로, 마날로그 회로(PLL 회로, 센스 앰프 회로) 등이 있다. 또한, 제2 회로예로서, 타이밍 회로, 다이내믹 회로 등이 있다.

이와 같이, 실시 형태 3의 제1 형태는, 설치되는 회로의 기관 부유 효과의 영향도를 고려하여, 부분 산화막(31)에 의한 부분 분리와 완전 산화막(32)에 의한 완전 분리를 구별지어 사용함으로써, 기관 부유 효과의 억제와 접점도의 향상을 밸런스 있게 행한 소자 분리 구조를 얻을 수 있다.

또, 도 28의 구조는, 실시 형태 2의 제조 방법의 그 1~그 4 등을 이용하여, 부분 산화막(31) 및 완전 산화막(32: 산화막 33)을 선택적으로 형성하여 소자 분리를 행하여 제1 회로 및 제2 회로를 형성함으로써 얻을 수 있다.

<제2 형태>

도 29는 본 발명의 실시 형태 3의 SOI 구조의 반도체 장치의 제2 형태의 구조를 나타낸 단면도이다. 상기 도면에 도시한 바와 같이, 완전 분리를 행하는 제1 회로 형성용의 부분 SOI층(38)의 막 두께를, 부분 분리를 행하는 제2 회로 형성용의 부분 SOI층(3A)의 막 두께보다도 얇게 하고 있다. 따라서, 부분 SOI층(38)에 형성되는 완전 산화막(34), 드레인 영역(5t), 소스 영역(6t) 및 채널 형성 영역(7)의 막 두께도 얇게 된다.

제2 형태에서는, 제1 회로 형성용의 부분 SOI층(38)의 막 두께를 제2 회로 형성용의 부분 SOI층(3A)의 막 두께보다도 얇게 형성하였기 때문에, 동일한 트랜치 에칭 조건을 이용하더라도, 부분 SOI층(3A)에는 부분 트랜치를 부분 SOI층(38)에는 완전 트랜치를 분리하여 형성할 수 있다. 따라서, 제조 방법 그 1의 도 10에 도시한 공정을 생략할 수 있는 등의 제조 방법의 간략화를 도모하여, 완전 분리 및 부분 분리를 각각 부분 SOI층(38) 및 부분 SOI층(3A) 상에서 행할 수 있다.

또한, 완전 분리, 부분 분리에 관계 없이, 기관 전위 고정요구되는 제2 회로인, I/O 버퍼 회로, 마날로그 회로(PLL, 센스 앰프), 타이밍 회로, 다이내믹 회로 등을 형성하는 SOI층의 막 두께는 두껍게 하는 것이 바람직하며, 그 점에서도 제2 형태는 이치에 맞으며, 특히 보호 회로에서는 막 두께에 의해 온도 상승을 억제할 수 있어 효과적이다.

<제3 형태>

또한, 실시 형태 3의 제3 형태로서, 노이즈 발생원이 되는 I/O 회로나 RF 회로와 다른 회로와의 분리는 적어도 완전 산화막(32)을 이용한 완전 분리를 행하고, 다른 부분의 분리는 부분 산화막(31)을 이용한 분리를 행함으로써, 내부 회로나 노이즈에 의한 마날로그 회로의 노이즈의 영향을 줄이면서, 기관 부유 효과의 영향을 최소한으로 억제한 SOI 구조의 반도체 장치를 얻을 수 있다.

<<실시 형태 4>>

도 30 및 도 31은 본 발명의 실시 형태 4의 SOI 구조의 반도체 장치의 구조를 나타낸 단면도이다. 또, 도 30 및 도 31은 각각 실시 형태1의 도 3의 A-A 단면 및 B-B 단면에 상당한다.

상기 도면에 도시한 바와 같이, 실리콘 기관(1), 매립 산화막(2) 및 SOI층(3)으로 이루어지는 SOI 구조의 반도체 장치에 있어서의 SOI층(3)의 각 트랜지스터 형성 영역은 하층부에 웰 영역이 형성되는 부분 산화막(71)에 의해 분리된다. 그리고, NMOS 트랜지스터 사이를 분리하는 부분 산화막(71)의 하층에 p형의 폴리실리콘 영역(61)이 형성되고, PMOS 트랜지스터 사이를 분리하는 부분 산화막(71)의 하층에 n형의 폴리실리콘 영역(62)이 형성되고, NMOS 트랜지스터, PMOS 트랜지스터 사이를 분리하는 부분 산화막(71)의 하층에 p형의 폴리실리콘 영역(61: NMOS 트랜지스터측) 및 n형의 폴리실리콘 영역(62: PMOS 트랜지스터측)이 인접하여 형성된다.

또한, 도 31에 도시한 바와 같이, SOI층(3) 중의 폴리실리콘 영역(61) 사이에 보디 영역(10)이 형성되고, 보디 영역(10)은 인접하는 폴리실리콘 영역(61)에 접하고 있다. 그리고, 층간 절연막(4) 상에 형성된 배선층(25)은, 층간 절연막(4) 중에 설치된 보디컨택트(23)를 통해 보디 영역(10)과 전기적으로 접속된다.

이와 같이, 실시 형태 4의 반도체 장치는 부분 산화막(71) 아래로 형성되는 폴리실리콘 영역(61, 62)을 웰 영역으로서 이용하고, 보디 영역(10)을 통해 그 전위가 고정된다. 따라서, 채널 형성 영역(7)의 전위가 안정되어 기관 부유 효과를 저감시킬 수 있다.

또, 도 32에 도시한 바와 같이, NMOS 트랜지스터 및 PMOS 트랜지스터 각각의 내부의 트랜지스터 분리를 부분 산화막(71)과 그 하층의 폴리실리콘 영역(61)(62)에 의해서 행하고, 한편, PMOS 트랜지스터, NMOS 트랜지스터 사이의 분리를 완전 산화막(32)을 따라서 행하여도 좋다. 이러한 구성으로 함으로써, 도 30 및 도 31의 구조에 비교하여, PMOS, NMOS 사이의 분리폭을 작게 할 수 있거나, 래치업을 방지할 수 있다.

<제조 방법>

도 33~도 37은 실시 형태 4의 반도체 장치의 제조 방법에 있어서의 소자 분리 공정을 나타낸 단면도이다.

우선, 도 33에 도시한 바와 같이, 실리콘 기관(1), 매립 산화막(2) 및 SOI층(3)으로 이루어지는 SOI 기관을 출발 재료로 하고, SOI 기관 상에 산화막(41)과 질화막(42)을 순차 퇴적한 후, 패턴닝한 레지스트(43)를 마스크로 하여 분리 영역을 패턴닝하고, 질화막(42), 산화막(41), SOI층의 3다층막을 관통시켜 트랜치(53)를 형성한다.

그리고, 도 34에 도시한 바와 같이, 전면에 폴리실리콘층(65)을 막 두께 제어성 양호하게 퇴적한 후, 도 35에 도시한 바와 같이, 복수의 트랜치(53) 중, 일부를 덮도록 레지스트(66)를 형성하여, 레지스트(66)로 덮여지지 않는 트랜치(53) 내의 폴리실리콘층(65)을 에칭하여 제거함으로써, 완전 트랜치(48)를 형성한다.

다음에, 도 38에 도시한 바와 같이, 전면에 트렌치 매립용의 산화막을 퇴적하고, 통상의 트렌치 분리와 마찬가지로의 수반으로 CMP 처리에 의해 질화막(42)의 도층까지 연마하고, 그 후, 질화막(42), 산화막(41)의 제거를 행함으로써, 폴리실리콘 영역(67) 및 그 내부에 잔존하는 산화막(68)과 완전 산화막(32)이 선택적으로 형성된 구조를 얻을 수 있다.

그리고, 도 37에 도시한 바와 같이, 폴리실리콘 영역(67)을 산화시킴으로써, 산화막(68)과 폴리실리콘 영역(67)이 산화된 영역으로 이루어지는 부분 산화막(71)과, 산화되지 않고서 잔존한 폴리실리콘 영역(62)에 의한 부분 분리 구조가 완성한다.

폴리실리콘 영역(67)의 산화 정도가 S01층(3) 상에 형성되는 산화막(70)보다 높기 때문에, S01층(3)의 표면과 폴리실리콘 영역(62)의 최상부 사이에 충분히 단차가 생겨, 게이트 산화막 형성 시에 산화막 불량에 의해 게이트 전극(9)과 폴리실리콘 영역(61)이 쇼트하는 것을 방지할 수 있다.

이하, 기존의 방법으로, NMOS 트랜지스터 형성 영역에 NMOS 트랜지스터를 형성하고, PMOS 트랜지스터 형성 영역에 PMOS 트랜지스터를 형성함으로써, 도 32에 도시한 S01 구조를 얻을 수 있다.

<<실시 형태 5>>

<제1 형태>

도 38은 본 발명의 실시 형태 5의 S01 구조의 반도체 장치의 제1 형태의 구조를 나타낸 단면도이다. 상기 도면에 도시한 바와 같이, 실리콘 기판(1), 매립 산화막(2) 및 S01층(3)으로 이루어지는 S01 구조의 반도체 장치에 있어서의 S01층(3)의 각 트랜지스터 형성 영역은 하층부에 웰 영역이 형성되는 저유전율막(매립 산화막 2 등이 일반적인 절연막보다 유전율이 낮은 절연막: 75)에 의해 분리된다. 그리고, 도 1에서 도시한 실시 형태 1과 마찬가지로, NMOS 트랜지스터 사이를 분리하는 저유전율막(75)의 하층에 p형의 웰 영역(11)이 형성되고, PMOS 트랜지스터 사이를 분리하는 저유전율막(75)의 하층에 n형의 웰 영역(12)이 형성되고, NMOS 트랜지스터, PMOS 트랜지스터 사이를 분리하는 저유전율막(75)의 하층에 p형의 웰 영역 및 n형의 웰 영역(도 38에서는 함께 도시하지 않음)이 형성된다. 상기한 웰 영역은 실시 형태 1과 마찬가지로, 전기적으로 접속 관계에 있는 보디 영역을 통해 전위 고정 가능하다.

S01 구조의 경우, S01층(3)의 막 두께가 50nm 정도로 얇게 되는 경우가 있다. 이 때, 소자 분리용 산화막(도 1의 부분 산화막 31) 아래에 형성되는 웰 영역이 공핍화 혹은 반전하고, 원래 소자 분리하여야 할 트랜지스터 사이에 누설 전류가 흐를 우려가 있다.

그러나, 실시 형태 4의 제1 형태에서는, 소자 분리용으로 저유전율막(75)을 이용하고 있기 때문에, 막 두께가 얇더라도 그 용량을 충분히 낮게 억제할 수 있어, 상기한 누설 전류 발생을 확실하게 회피할 수 있다.

또, 저유전율막(75)으로서는, 매립 산화막(2) 등에 이용되는 실리콘 산화막(비유전율이 3.9~4 정도)으로 불소가 혼입되거나, 유기막을 이용함으로써, 비유전율이 3정도의 것을 이용하고 있다.

<제2 형태>

도 39는 실시 형태 5의 제2 형태를 나타낸 단면도이다. 상기 도면에 도시한 바와 같이, 도 38의 저유전율막(75)을 대신하여, 저유전율막(76)과 저유전율막(76)의 저면 및 측면에 형성되는 실리콘 산화막(78)에 의해 소자 분리를 행하고 있다. 또, 다른 구성은 도 38에 도시한 제1 형태와 마찬가지로이다.

이와 같이, 저유전율막(77)의 저면 및 측면에 실리콘 산화막(78)을 형성하는 것은, 실리콘(드레인 영역5, 소스 영역6, 웰 영역11, 12등)과의 계면에 생기는 결함이나 계면 전하의 발생을 확실하게 억제하기 때문이다. 또, 실리콘 산화막(78)은 열 산화법이나 CVD법을 이용하여 형성된다.

<제3 형태>

도 40은 실시 형태 5의 제3 형태를 나타낸 단면도이다. 상기 도면에 도시한 바와 같이, 도 38의 저유전율막(75)을 대신하여, 저유전율막(77)과 저유전율막(77)의 측면에 형성되는 실리콘 산화막(79)에 의해 소자 분리를 행하고 있다. 또, 다른 구성은 도 38에 도시한 제1 형태와 마찬가지로이다.

이와 같이, 저유전율막(76)의 측면에 실리콘 산화막(78)을 형성하는 것은, 채널 형성 영역(7)이 존재하는 측면 방향의 실리콘(드레인 영역5, 소스 영역6)과의 계면에 생기는 결함이나 계면 전하의 발생을 확실하게 억제하는 것을 주안으로 하였기 때문이다.

<<실시 형태 6>>

<제1 형태>

도 41은 본 발명의 실시 형태 6인 S01 구조의 반도체 장치에 있어서의 제1 형태의 구조를 나타낸 단면도이다.

상기 도면에 도시한 바와 같이, 각 소자 사이는 중간 절연막(4: 설명의 형편 상, 완전 산화막32 상당하는 부분도 중간 절연막 4로 나타낸다)에 의해 완전 분리하고, 보디 영역이 되는 접속 영역(80)을 매립 산화막(2)의 상층부에 형성하고, 그 일부가 S01층(3: 도 41에서는 드레인 영역5, 채널 형성 영역7)의 단부 이면과 접함으로써, 전기적 접속 관계를 유지하고 있다. 또, 접속 영역(80)의 도전형은 채널 형성 영역(7)과 마찬가지로이다. 또한, 도 1 및 도 2와 마찬가지로의 부분에 대해서는 동일한 참조 부호를 붙여 그 설명을 적절하게 생략한다.

이와 같이, 제1 형태의 반도체 장치는 보디 영역이 되는 접속 영역(80)을 S01층(3)이 아니라, 매립 산화막(2)의 상층부에 설치하였기 때문에, 게이트 전극(9) 사이에 적어도 S01층(3)의 막 두께 이상의 고정차를 설치할 수 있다. 그 결과, 제조 시에 게이트 전극(9)과 접속 영역(80)이 단락한다고 하는 문제점을 확실하게 회피할 수 있다.

<제2 형태>

도 42는 본 발명의 실시 형태 6인 S01 구조의 반도체 장치에 있어서의 제2 형태의 구조를 나타낸 단면도이다.

상기 도면에 도시한 바와 같이, 드레인 영역(5s) 및 소스 영역(6s)은 S01층(3)의 상층부에 얹게 형성된다. 또, 다른 구성은 도 41에 도시한 제1 형태와 마찬가지로이다.

이와 같이, 제2 형태의 반도체 장치는 드레인 영역(5s) 및 소스 영역(6s)을 S01층(3) 상층부에 얹게 형성하였기 때문에, 드레인 영역(5s) 혹은 소스 영역(6)과 접속 영역(80)이 접촉 관계를 갖고 누설 전류를 야기하는 것을 확실하게 회피할 수 있다.

<제조 방법(개념)>

도 43~도 45는 접속 영역(80)이 되는 폴리실리콘 영역을 형성하는 공정을 개념적으로 나타낸 단면도이다.

우선, 도 43에 도시한 바와 같이, 실리콘 기판(1), 매립 산화막(2) 및 S01층(3)으로 이루어지는 S01 구조로부터, S01층(3)을 표면으로부터 선택적으로 제거함으로써, 트렌치 분리가 실시된 소자 형성 영역을 형성한다.

그리고, 도 44에 도시한 바와 같이, S01층(3)을 마스크로 하여 매립 산화막(2)에 대한 웨트 에칭을 실시하고, S01층(3)의 단부 하면의 매립 산화막(2)이 제거되면서, S01층(3)이 상부에 존재하지 않는 매립 산화막(2)의 상층부를 제거한 구멍부(94)를 형성한다.

그리고, 도 45에 도시한 바와 같이, 구멍부(94)에 폴리실리콘을 매립함으로써, 접속 영역(80)용의 폴리실리콘 영역(81)을 형성한다.

<제1 제조 방법>

도 46~도 48은 접속 영역(80)이 되는 폴리실리콘 영역을 형성하는 그 1의 공정을 보다 구체적으로 나타낸 단면도이다.

우선, 도 46에 도시한 바와 같이, S01 기판의 S01층(3) 상에 실리콘 산화막(91) 및 실리콘 질화막(92)을 퇴적하고, S01층(3), 실리콘 산화막(91) 및 실리콘 질화막(92)을 패터닝하여 트렌치 분리를 행한 후, 패터닝 후의 S01층(3), 실리콘 산화막(91) 및 실리콘 질화막(92)의 측면에 측벽 실리콘 질화막(93)을 형성한다.

그리고, 도 47에 도시한 바와 같이, 실리콘 질화막(92) 및 측벽 실리콘 질화막(93)을 마스크로 하여, 매립 산화막(2)에 대한 웨트 에칭을 행하고, S01층(3)의 단부 하면의 매립 산화막(2)을 제거하면서, S01층(3)이 상부에 존재하지 않고서 노출한 매립 산화막(2)의 상층부를 제거함으로써, 구멍부(94)를 형성한다.

그 후, 도 48에 도시한 바와 같이, 전면에 폴리실리콘층을 퇴적한 후, 폴리실리콘층을 드라이 에칭에 의해 에치백함으로써, 구멍부(94)에 폴리실리콘을 매립하여 접속 영역(80)용의 폴리실리콘 영역(81)을 형성한다.

이하, 도 11에 도시한 공정과 같이, 트렌치에 산화막을 매립하는 등의 방법에 의해 복수의 소자 형성 영역을 절연 분리하고, 접속 영역(80)을 외부로부터 전위 고정 가능하게 하고, 또한, 복수의 소자 형성 영역 각각에 소정의 소자를 형성함으로써, 도 41 혹은 도 42에 도시한 구조가 완성된다.

<제2 제조 방법>

도 49~도 51은 접속 영역(80)이 되는 폴리실리콘 영역을 형성하는 그 2의 공정을 구체적으로 나타낸 단면도이다.

우선, 이미 예를 든 도 46에 도시한 바와 같이, S01층(3), 실리콘 산화막(91) 및 실리콘 질화막(92)을 패터닝하여 트렌치 분리를 행한 후, 패터닝 후의 S01층(3), 실리콘 산화막(91) 및 실리콘 질화막(92)의 측면에 측벽 실리콘 질화막(93)을 형성한다.

그리고, 도 49에 도시한 바와 같이, 실리콘 질화막(92) 및 측벽 실리콘 질화막(93)을 마스크로 하여, 매립 산화막(2)에 대한 웨트 에칭을 행하고, S01층(3)의 단부 하면의 매립 산화막(2)을 제거하면서, S01층(3)이 상부에 존재하지 않는 매립 산화막(2)의 상층부를 제거함으로써, 구멍부(94)를 형성한다.

다음에, 도 50에 도시한 바와 같이, S01층(3)의 노출한 하면으로부터의 에피택셜 성장에 의해 측벽 실리콘 질화막(93) 아래에 에피택셜 성장층(82)을 형성한다.

그 후, 도 51에 도시한 바와 같이, 전면에 폴리실리콘층을 퇴적한 후, 폴리실리콘층을 에치백함으로써, 구멍부(94)에 폴리실리콘을 매립하여 접속 영역(80)용의 폴리실리콘 영역(83)을 형성한다. 그 결과, 에피택셜 성장층(82)과 폴리실리콘 영역(83)으로 이루어지는 접속 영역(80)을 형성할 수 있다.

이하, 트렌치에 산화막을 매립하는 등의 방법에 의해 복수의 소자 형성 영역을 절연 분리하고, 접속 영역(80)을 외부로부터 전위 고정 가능하게 하고, 또한, 복수의 소자 형성 영역 각각에 소정의 소자를 형성함으로써, 도 41 혹은 도 42에서 도시한 구조가 완성된다.

제2 형태의 구조는, 에피택셜 성장층(82)을 통해 있는 만큼, 드레인 영역(5) 혹은 소스 영역(6)과 채널 형성 영역(7)에 의한 PN 접합 부분과 폴리실리콘 영역(83)과의 거리를 충분하게 취할 수 있어, 양호한 전기적 특성을 얻을 수 있다.

<제3 형태>

도 52는 실시 형태 6의 제3 형태를 나타낸 단면도이다. 상기 도면의 구조는 도 41에 도시한 구조(접속 영역80, 보디 콘택트23, 게이트 콘택트24 및 배선층22, 25를 제외한다)로부터, 실리콘 기판(1) 및 매립 산화막(2)을 연마에 의해 제거한 후, 표면을 반대로 한 후, 새로운 이면에 실리콘 기판(90)을 접합시키고, 접속 영역(86)을 표면에 형성한 구조이다. 따라서, 실리콘 기판(90), 층간 절연막(4) 및 소자 형성 영역(드레인 영역5, 소스 영역6, 채널 형성 영역7 등)으로 이루어지는 SOI 구조가 된다.

제3 형태는 결과적으로 접속 영역(86)을 표면에 형성하게 되기 때문에, 제조 공정이 용이하게 된다.

<제4 형태>

도 53은 실시 형태 6의 제4 형태를 나타낸 단면도이다. 상기 도면에 도시한 바와 같이, 매립 산화막(2)을 관통하여 접속 영역(87)을 형성하고 있다. 다른 구성은 도 41에 도시한 제1 형태와 마찬가지로이다.

이와 같이, 제4 형태는, 매립 산화막(2)을 관통하여 접속 영역(87)을 형성하였기 때문에, 지지 기판의 실리콘 기판(1)으로부터 전위를 고정할 수 있다. 이 때, 도 54에 도시한 바와 같이, 접속 영역(87) 형성을 웨트 에칭에 의해 매립 산화막(2)의 상층부에 형성된 구멍부(89)와, 드라이 에칭에 의해 가로 방향으로 확산되지 않게 매립 산화막(2)을 관통하여 형성된 관통부(88)에 의해 관통구를 설치한 후, 폴리실리콘 등을 매립하여 접속 영역(87)을 형성하면, 관통구 형성 시의 가로 방향의 확산을 억제하면서, 매립 산화막(2)을 관통한 접속 영역(87)을 얻을 수 있다.

<<실시 형태 7>>

도 63은 본 발명의 실시 형태 7인 SOI 구조의 반도체 장치의 완전 분리 영역의 설계 방법 설명용의 평면도이다. 상기 도면에 도시한 바와 같이, CMOS 트랜지스터를 형성하는 경우, 가상 n웰 영역(104) 내에 PMOS 활성 영역(101) 및 PMOS 보디 콘택트 영역(102)이 선택적으로 설치되고, 가상 n웰 영역(104)밖의 P 영역(도시하지 않음)에 NMOS 활성 영역(111) 및 NMOS 보디 콘택트 영역(112)을 선택적으로 설치되는 형상이 일반적이다.

한편, 실시 형태 2의 제3 형태(도 7) 등에서 나타낸 복합 분리 영역에 의해 NMOS, PMOS 사이를 분리하는 경우, 가상 n웰 영역(104)과 부분 분리 영역이 거의 일치하고, 부분 분리 영역에 연속하여 완전 분리 영역이 형성된다.

이러한 복합 분리 영역을 이용한 반도체 장치의 레이아웃 구성은 축적된 과거의 레이아웃 데이터를 이용할 수 있는 가능성은 높다.

따라서, 완전 분리 영역은 이하의 ①~③에서 나타낸 설계 방법을 실행함으로써 자동 생성할 수 있다.

① 웰 영역 내 형성되는 PMOS 트랜지스터와 웰 영역 밖에 형성되는 NMOS 트랜지스터로 이루어지는 CMOS 디바이스의 과거 데이터를 얻는다.

② 과거 데이터에 기초하여 제1 및 제2 MOS 트랜지스터의 형성 영역(PMOS 활성 영역 101, PMOS 보디 콘택트 영역 102, NMOS 활성 영역 111, NMOS 보디 콘택트 영역 112)을 설정한다.

③ 상기 과거 데이터에 있어서의 웰 영역을 가상 n웰 영역(104)으로서, n웰 영역(104)의 외주 근방 영역에, 완전 분리 영역(105)에 설정한다.

가상 n웰 영역(104)은 통상, NMOS 영역과 PMOS 영역을 구별하는 영역이기 때문에, 가상 n웰 영역(104)을 기준으로 하여 완전 분리 영역을 설정함으로써 NMOS 트랜지스터, PMOS 트랜지스터 사이를 효과적으로 분리할 수 있다.

도 63의 예에서는, 가상 n웰 영역(104)의 외부 모서리를 완전 분리폭 W의 반의 폭 W/2에서 외측으로 오버사이즈 설정함과 함께, 상기 외부 모서리를 폭 W/2에서 내측으로 언더사이즈 설정함으로써 완전 분리 영역(105)을 설정하고 있다.

이와 같이, 통상의 CMOS 트랜지스터를 제조하는 과거 데이터의 웰 영역의 외주 근방에 완전 분리폭 W에 기초하여 완전 분리 영역을 자동 설정할 수 있다.

또한, 부분 분리 영역(113)을 PMOS 활성 영역(101), PMOS 보디 콘택트 영역(102), n웰 영역(104), NMOS 활성 영역(111) 및 NMOS 보디 콘택트 영역(112) 이외의 영역에 n웰 영역(104)에 연속하여 형성되도록 설정함으로써, 완전 분리 영역(105) 및 부분 분리 영역(113)으로 이루어지는 복합 분리 영역을 설계할 수 있다.

<<실시 형태 8>>

<래치업 현상>

도 64는 래치업 현상 설명용의 평면도이다. 상기 도면에 도시한 바와 같이, PMOS 영역(131)에 NMOS 영역(141)이 인접하는 CMOS 구조에서는, PMOS 영역(131) 내의 PMOS 활성 영역(133) 및 n웰 영역(132)과 NMOS 영역(141) 내의 p웰 영역(142)에 의해 형성되는 기생 바이폴라 트랜지스터 T1과, NMOS 영역(141) 내의 NMOS 활성 영역(143) 및 p웰 영역(142)과 PMOS 영역(131) 내의 n웰 영역(132)에 의해 형성되는 기생 바이폴라 트랜지스터 T2가 형성된다.

n⁺ 보디 콘택트 영역(135)은 n웰 영역(132)의 저항 성분 R11과 통해 기생 바이폴라 트랜지스터 T1의 베이스에 접속되게 된다. 마찬가지로, p⁺ 보디 콘택트 영역(145)은 p웰 영역(142)의 저항 성분 R12를 통해 기생 바이폴라 트랜지스터 T2의 베이스에 접속되게 된다. n⁺ 보디 콘택트 영역(135)은 전원 전압 V_{cc}에 설정되며, p⁺ 보디 콘택트 영역(145)은 접지 레벨 V_{ss}에 설정된다. 또, PMOS 활성 영역(133) 및 NMOS 활성 영역(143)의 중심부에는 게이트 전극(134 및 144)이 각각 형성되어 있다.

이를 기생 바이폴라 트랜지스터 T1 및 T2에 의한 기생 서리스터 구조가 형성됨으로써, 노이즈에 의해 기생 서리스터가 온 상태가 되면 전원 전압 Vcc로부터 접지 레벨 Vss에 걸쳐 전류가 흘러버리게 된다고 하는 래치업 현상이 일어난다.

<제1 형태>

일반적으로 래치업 현상을 마기하는 노이즈는 입출력 단자로부터 들어오는 일이 많다. 그래서, 도 65에 도시한 바와 같이, 입출력 NMOS(트랜지스터 형성) 영역(106), 입출력 PMOS(트랜지스터 형성) 영역(116) 사이의 경계 근방 영역을 완전 분리 영역(114)으로 완전 분리하는 구조가 바람직하다. 또, 입출력 NMOS 영역(106) 및 입출력 PMOS 영역(116)은 각각 부분 분리 영역(107) 및 부분 분리 영역(117)에서 주변 영역으로 부분 분리되어 있다.

입출력 영역은 입출력 버퍼나 보호 회로를 주로 형성하는 영역을 의미한다. 도 66은 입력 회로의 일례를 나타낸 회로도이다. 상기 도면에 도시한 바와 같이, 입력 신호 IN을 수신하는 외부 입력 단자 P1은 저항 R1 및 R2를 통해 입력 버퍼(122)의 입력부에 접속되고, 입력 버퍼(122)의 출력부가 내부 입력 단자 P2에 접속되며, 내부 입력 단자 P2로부터 내부 신호 S0이 출력된다.

입력 보호 회로(121)는 PMOS 트랜지스터 Q1 및 NMOS 트랜지스터 Q2로 구성되고, PMOS 트랜지스터 Q1은 소스 및 게이트가 전원 전압 Vcc에 접속되고, 드레인이 저항 R1, R2 사이의 노드 N1에 접속된다. NMOS 트랜지스터 Q2는 소스 및 게이트가 접지되고, 드레인이 노드 N1에 접속된다.

입력 버퍼(122)는 PMOS 트랜지스터 Q11, NMOS 트랜지스터 Q12에 의해 CMOS 인버터를 구성하고, PMOS 트랜지스터 Q11, NMOS 트랜지스터 Q12의 게이트가 입력부, 드레인이 출력부가 된다.

이 회로예에서는, PMOS 트랜지스터 Q1 및 Q11의 입력 PMOS 영역(118)에 형성되고, NMOS 트랜지스터 Q2 및 Q12가 입력 NMOS 영역(108)에 형성된다.

도 67은 출력 회로의 일례를 나타낸 회로도이다. 상기 도면에 도시한 바와 같이, 내부 신호 S1을 수신하는 내부 입력 단자 P3은 출력 버퍼(123)의 입력부에 접속되며, 출력 버퍼(123)의 출력부로부터 얻어지는 신호가 외부 출력 단자 P4를 통해 출력 신호 OUT로서 출력된다.

출력 버퍼(123)는 PMOS 트랜지스터 Q13, NMOS 트랜지스터 Q14에 의해 CMOS 인버터를 구성하고, PMOS 트랜지스터 Q13, NMOS 트랜지스터 Q14의 게이트가 입력부, 드레인이 출력부가 된다.

출력 보호 회로(124)는 PMOS 트랜지스터 Q3 및 NMOS 트랜지스터 Q4로 구성되고, PMOS 트랜지스터 Q3의 소스 및 게이트가 전원 전압 Vcc에 접속되며, 드레인이 외부 출력 단자 P4에 접속된다. NMOS 트랜지스터 Q4의 소스 및 게이트가 접지되고, 드레인이 외부 출력 단자 P4에 접속된다.

이 회로예에서는, PMOS 트랜지스터 Q3 및 Q13의 출력 PMOS 영역(119)에 형성되고, NMOS 트랜지스터 Q4 및 Q14가 입출력 NMOS 영역(109)에 형성된다.

이와 같이, 실시 형태 8의 제1 형태는, 래치업 현상이 생기기 쉬운 입출력 NMOS 영역(106), 입출력 PMOS 영역(116) 사이의 적어도 경계 근방 영역에 완전 분리 영역(114)을 형성하여 완전 분리함으로써, 래치업 현상이 생기지 않는 구조로 하고 있다.

또한, 실시 형태 8의 제1 형태는 NMOS 영역, PMOS 영역 사이의 전 영역에 완전 분리 영역을 설치하는 것이 아니라, 입출력 NMOS 영역, 입출력 PMOS 영역의 경계 근방 영역에만 완전 분리 영역(114)을 설치함으로써, 래치업 현상을 효과적으로 억제하면서, 회로 형성 면적의 증대를 최소한으로 억제할 수 있다.

<제2 형태>

또, 입출력 NMOS 영역(106), 입출력 PMOS 영역(116) 사이의 완전 분리는, 도 65와 같이, 입출력 NMOS 영역(106), 입출력 PMOS 영역(116) 사이의 경계 근방 영역에만 설치하는 이외에, 도 68에 도시한 제2 형태와 같이, 입출력 NMOS 영역(106) 및 입출력 PMOS 영역(116)을 완전히 둘러싸도록 완전 분리 영역(115)을 형성하여도 좋다.

또한, 입출력 NMOS 영역, 입출력 PMOS 영역 사이 외에, 아날로그 회로, 디지털 회로 사이와 같이 특정한 회로 사이에 완전 분리 영역을 설치하는 것도 생각된다.

<제3 형태>

도 69는 실시 형태 8의 제3 형태를 나타낸 설명도이다. 상기 도면에 도시한 바와 같이, NMOS 영역(입출력 NMOS 영역 106, 내부 NMOS 영역 180), PMOS 영역(입출력 PMOS 영역 116, 내부 PMOS 영역 190) 사이 외에, 입출력 영역(입출력 PMOS 영역 116), 내부 회로 영역(내부 NMOS 영역 180) 사이도 완전 분리 영역(110)으로 완전 분리하고 있다.

제3 형태에 의해, 제1 및 제2 형태의 효과 외에, 노이즈 영향을 받기 쉬운 입출력 영역의 영향을 내부 회로 영역으로부터 완전히 차단할 수 있다.

<<실시 형태 9>>

<제1 형태>

도 70은 본 발명의 실시 형태 9인 S01 구조의 반도체 장치의 제1 형태의 평면 구조를 나타낸 평면도이고, 도 71은 도 70의 A-A 단면 구조를 나타낸 단면도이다. 이를 도면에 도시한 바와 같이, NMOS(트랜지스터 형성) 영역(126)과 PMOS(트랜지스터 형성) 영역(136)이 인접하여 설치되어 있다. NMOS 영역(126) 내에 복수의 게이트 전극(129)을 갖는 NMOS 활성 영역(128)과 p⁺ 보디 영역(130)이 형성되고, NMOS 활성 영역(128)의 주위를 부분 분리 영역(127)으로 둘러싸여 있다.

한편, PMOS 영역(136) 내에 복수의 게이트 전극(139)을 갖는 PMOS 활성 영역(138)과 n⁺ 보디 영역(140)이

형성되고, PMOS 활성 영역(138)의 주위를 부분 분리 영역(137) 및 완전 분리 영역(120)에 의해 둘러싸여 있다. 완전 분리 영역(120)은, NMOS 영역(126)과 PMOS 영역(136)과의 경계 근방의 PMOS 영역(136) 내에서의 게이트 전극(139)의 PMOS 활성 영역(138)으로부터의 돌출 부분에 설치된다.

따라서, NMOS 영역(126)과 PMOS 영역(136)과의 경계 근방 영역은, 도 71에 도시한 바와 같이, NMOS 영역(126)은 산화막(54)과 웰 영역(169)에 의한 부분 분리 영역(127)에서 주위와 분리되는데 대해, PMOS 영역(136)은 산화막(54)만에 따른 완전 분리 영역(120)에서 주위와 분리된다.

이와 같이, NMOS 영역(126)에는 완전 분리 영역을 완전히 형성하지 않고, 부분 분리 영역(127)을 설치함으로써, 산화막(54) 하의 웰 영역(169)을 통해 NMOS 트랜지스터의 기판 전위의 고정을 부족 없이 행할 수 있기 때문에, 기판 부유 효과가 심한 NMOS 트랜지스터의 기판 부유 효과를 효과적으로 억제할 수 있다.

또한, 기판 부유 효과가 NMOS 트랜지스터에 비교하여 온화한 PMOS 트랜지스터는, 주변의 일부에 완전 분리 영역을 형성하여도 큰 악영향은 없고, NMOS 영역(126), PMOS 영역(136) 사이를 완전 분리 영역(120)에 의해 절연 분리하면서면적 효율을 높인 배치로 되고, 레이아웃에 여유가 없는 경우 등에 유효가 된다.

<제2 형태>

도 72는 본 발명의 실시 형태 9인 SOI 구조의 반도체 장치의 제2 형태의 평면 구조를 나타낸 평면도이고, 도 73은 도 72의 B-B 단면 구조를 나타낸 단면도이다. 이들 도면에 도시한 바와 같이, p-형의 웰 영역(169) 내에 형성되는 NMOS 영역(126)과, n-형의 웰 영역(179) 내에 형성되는 PMOS 영역(136)이 인접하여 설치된다.

NMOS 영역(126) 내에 복수의 게이트 전극(129)을 갖는 NMOS 활성 영역(128)이 형성되고, NMOS 활성 영역(128)의 주위의 대부분을 완전 분리 영역(125)으로 둘러싸고 있다. 그리고, 게이트 전극(129)의 한쪽측(PMOS 영역 136과 반대측)의 게이트 전극(129)의 단부만 부분 분리 영역(127)에서 주위와 분리하고 있다.

도 73에 도시한 바와 같이, 산화막(54)과 산화막(54)의 아래쪽에 형성된 웰 영역(169)에 의해 부분 분리 영역(127)을 구성하고 있다. 또, 부분 분리 영역(127)의 형성측은, 게이트 전극(129)의 형성측보다도 크더라도(도 73의 좌측), 작더라도(도 73의 우측) 좋다. 또한, 웰 영역(169) 내의 상기 게이트 전극(129)의 한쪽측 부근에 p⁺ 보디 영역(130)이 설치된다.

한편, PMOS 영역(136) 내에 복수의 게이트 전극(139)을 갖는 PMOS 활성 영역(138)이 형성되고, PMOS 활성 영역(138)의 주위의 대부분을 완전 분리 영역(125)에 둘러싸여 있다. 그리고, NMOS 영역(126)과 마찬가지로, 게이트 전극(139)의 한쪽측(NMOS 영역 126과 반대측)의 게이트 전극(139)의 단부만 부분 분리 영역(137)에서 주위와 분리하고 있다. 또한, 웰 영역(179) 내의 상기 게이트 전극(139)의 한쪽측 부근에 n⁺ 보디 영역(140)이 설치된다.

이와 같이, 실시 형태 9의 제2 형태는, 게이트 전극의 단부를 부분 분리 영역에 의해서 분리하고, 게이트 전극 아래에 존재하는 채널 형성 영역과 부분 분리 영역의 웰 영역이 접하도록 형성함으로써, 각 트랜지스터 형성 영역의 기판 전위를 고정할 수 있다.

또, NMOS 영역(126) 및 PMOS 영역(136) 주위의 대부분을 완전 분리 영역(125)에 둘러싸여 있는 것은, PN 접합 면적을 감소시키기 위하여 래치업 현상이 생기는 경로를 차단하기 위해서이다.

<<실시 형태 10>>

<제1 형태>

도 74는 본 발명의 실시 형태 10인 SOI 구조의 반도체 장치의 제1 형태의 구성을 나타낸 평면도이다. 상기 도면에 도시한 바와 같이, NMOS 활성 영역(128) 내에 복수의 게이트 전극(129)이 형성되고, NMOS 활성 영역(128)의 주위에 둘러싸여 부분 분리 영역(127)을 설치하고 있다. 또한, 부분 분리 영역(127)의 주위에 둘러싸여 p⁺ 보디 영역(146)을 설치하고 있다. 또, 도 101은 도 74의 E-E 단면 구조를 나타낸 단면도이다.

부분 분리 영역(127)은 도 101에 도시한 바와 같이, 산화막(54)과 웰 영역(169)으로 구성되어 있고, 이 웰 영역(169)은 NMOS 활성 영역(128)에 형성되는 채널 형성 영역과 접하여 형성되기 때문에, 노이즈나 래치업의 영향을 받기 쉬운 구조로 되어 있다.

그러나, 실시 형태 10의 제1 형태는, 부분 분리 영역(127)에 둘러싸여 p⁺ 보디 영역(146)이 형성되어 있기 때문에, p⁺ 보디 영역(146)을 접지 레벨에 고정하는 등의 기판 고정을 행함으로써, 다른 회로 부분으로부터의 영향을 억제하고, 기판 전위를 안정적으로 할 수 있어, 노이즈나 래치업에 대한 내성을 크게 향상시킬 수 있다.

이러한 구성의 제1 형태는, 노이즈원의 회로 불럭, 외부로부터 노이즈를 차단하고 싶은 회로 불럭 등에 적합하다. 또, PMOS 활성 영역의 경우에는 부분 분리 영역의 주위를 n⁺의 보디 영역에서 둘러싸여 형성되면, 마찬가지로의 효과가 얻어진다.

<제2 형태>

도 75는 본 발명의 실시 형태 10인 SOI 구조의 반도체 장치의 제2 형태의 구성을 나타낸 평면도이다. 상기 도면에 도시한 바와 같이, 압출력 NMOS 영역(151)과 압출력 PMOS 영역(152)이 인접하여 형성된다.

압출력 NMOS 영역(151)에 있어서, NMOS 활성 영역(128) 내에 복수의 게이트 전극(129)이 형성되고, NMOS 활성 영역(128)의 주위에 둘러싸여 부분 분리 영역(127A)을 설치하고 있다. 또한, 부분 분리 영역(127A)

의 주위에 둘러싸여 p^+ 보디 영역(146)을 설치하고 있다. 그리고, p^+ 보디 영역(146)에 둘러싸여 부분 분리 영역(127B)을 설치하고 있다.

입출력 PMOS 영역(152)에 있어서, PMOS 활성 영역(138) 내에 복수의 게이트 전극(139)이 형성되고, PMOS 활성 영역(138)의 주위에 둘러싸인 부분이 분리 영역(137A)을 설치하고 있다. 또한, 부분 분리 영역(137A)의 주위에 둘러싸여 n^+ 보디 영역(147)을 설치하고 있다. 그리고, n^+ 보디 영역(147)에 둘러싸여 부분 분리 영역(137B)을 설치하고 있다.

일반적으로 입출력 회로는 서지나 노이즈의 영향을 침범으로부터 받는 경우가 많기 때문에, 래치업 현상이나 노이즈 내성을 높이는 것이 특히 중요해진다.

실시 형태 10의 제2 형태에서는, 입출력 NMOS 영역(151) 및 입출력 PMOS 영역(152) 각각의 부분 분리 영역(127A 및 137A)을 p^+ 보디 영역(146) 및 n^+ 보디 영역(147)으로 둘러싸게 됨으로써, 서지의 영향으로 웰 영역의 전위가 상승하여 생기는 래치업 현상을 억제할 수 있다.

제2 형태에서는, NMOS, PMOS 활성 영역 전체를 보디 영역에서 덮는 구조로 나타내었지만, 입출력 NMOS 영역(151)과 입출력 PMOS 영역(152)과의 경계 근방 영역에, 적어도 보디 영역을 설치하면, 래치업 현상이나 노이즈 내성을 어느 정도 높일 수 있다.

<<실시 형태 11>>

<제1 형태>

도 76은 본 발명의 실시 형태 11인 SOI 구조의 반도체 장치의 제1 형태의 구성을 나타낸 평면도이다.

상기 도면에 도시한 바와 같이, NMOS 활성 영역(128) 내에 복수의 게이트 전극(129)이 설치되고, NMOS 활성 영역(128)의 주위에 둘러싸여 부유 부분 분리 영역(149)을 형성하고, 부유 부분 분리 영역(149)의 주위에 둘러싸여 완전 분리 영역(148)을 형성하고 있다.

부유 부분 분리 영역(149)은, 예를 들면 도 55의 부분 산화막(31)과 웰 영역(11)과의 관계와 같이 산화막과 웰 영역과의 2층 구조로 형성되지만, 웰 영역은 전위 고정되지 않고, 항상 부유 상태로 되어 있다. 부유 부분 분리 영역(149)의 웰 영역을 부유 상태로 하여도, 출돌 전리에 의해 발생한 캐리어는 부유 부분 분리 영역(149)의 웰 영역에 유입되기 때문에, 포텐셜 상승을 최저한으로 억제할 수 있다. 또한, 우주선에 의해 발생하는 전하를 부유 부분 분리 영역(149)의 웰 영역으로 분산할 수 있기 때문에 소프트 에러 내성을 향상시키는 것도 가능하다.

이와 같이 부유 부분 분리 영역(149)을 설치하는 실시 형태 11의 제1 형태의 구성은, SRAM 등, 고밀도 회로에서 보디 영역에의 컨택트가 곤란한 경우 등에 유효하다.

또, 완전 분리 영역(148)을 설치하는 쪽이 래치업 내성 향상 등의 관점에서 바람직하지만, 반드시 필요하지는 않다.

<제2 형태>

도 77은 본 발명의 실시 형태 11인 SOI 구조의 반도체 장치의 제2 형태의 구성을 나타낸 평면도이다.

상기 도면에 도시한 바와 같이, 부유 부분 분리 영역(149) 내에 부유 p^+ 보디 영역(150)을 설치하고 있다. 다른 구성은 도 76에 도시한 제1 형태와 마찬가지로 한다.

부유 p^+ 보디 영역(150)은 전위 고정되지 않고, 항상 부유 상태로 되어 있다. 따라서, 부유 부분 분리 영역(149)의 웰 영역도 부유 상태로 된다.

제2 형태와 같이, 부유 부분 분리 영역(149)의 웰 영역을 부유 상태로 하여도, 제1 형태와 마찬가지로, 포텐셜 상승을 최저한으로 억제할 수 있어, 소프트 에러 내성을 향상시킬 수 있다.

또한, 제2 형태는, 부유 p^+ 보디 영역(150)의 존재에 의해, 캐리어의 재결합이 촉진되기 때문에, 제1 형태에 비교하여 기판 부유 효과의 억제 효과가 커지는 효과를 발휘한다.

<<실시 형태 12>>

<제1 형태>

도 78은 본 발명의 실시 형태 12인 SOI 구조의 반도체 장치의 제1 형태의 구성을 나타낸 평면도이고, 도 79는 그 C-C 단면도이다.

이를 도면에 도시한 바와 같이, 드레인 영역(153), 소스 영역(154) 및 게이트 전극(155)으로 구성되는 NMOS 트랜지스터의 소스 영역(154)에 인접하여 p 형의 보디 영역(156)을 설치하고, 소스 영역(154) 및 보디 영역(156)이 함께 알루미늄 배선층(160)과 컨택트(158)에 의해 전기적으로 접속되어 있다.

또, 드레인 영역(153)은 알루미늄 배선층(159)과 컨택트(157)에 의해 전기적으로 접속되고, 드레인 영역(153), 소스 영역(154) 및 보디 영역(156)의 주변에 둘러싸여 부분 분리 영역(161)이 형성되어 있다.

도 79에 도시한 바와 같이, 부분 분리 영역(161)은, 산화막(162)과 p 형의 웰 영역(177)으로 구성되어 있다. 또한, 소스 영역(154) 및 보디 영역(156)의 공통 접속을 용이하게 하기 위해, 소스 영역(154) 및 보디 영역(156)의 상면에 걸쳐 실리사이드층(163)을 형성하고, 실리사이드층(163) 상에 컨택트(158)를 형성하고 있다. 또, 게이트 전극(155)의 게이트 산화막(178) 하측의 SOI층(3)의 영역이 채널 형성 영역(170)으로 된다.

이러한 구성에 있어서, 알루미늄 배선층(160)에 의해, 소스 영역(154) 및 보디 영역(156)을 접지 레벨에

고정함으로써, 소스 영역(154)과 동전위로 웰 영역(177)의 전위를 고정하고, 웰 영역(177)을 통해 채널 형성 영역(170)의 전위를 고정할 수 있다.

그리고, 제1 형태는, 도 78 및 도 79와 같이, 소스 영역(154) 및 보디 영역(156)을 인접하여 형성할 수 있는 만큼, 집적도의 향상을 도모할 수 있다.

또, PMOS 트랜지스터도 마찬가지로 구성할 수 있다. 단, 소스 영역 및 보디 영역의 전위 고정은 전원 레벨로 행할 필요가 있다.

<제2 형태>

도 80은 본 발명의 실시 형태 12인 SOI 구조의 반도체 장치의 제2 형태의 구성을 나타낸 평면도이고, 도 81은 그 D-D 단면도이다.

이를 도면에 도시한 바와 같이, 소스 영역(154)과 인접하여 p⁺형의 보디 영역(164)을 설치하고, 소스 영역(154) 및 보디 영역(164)이 함께 알루미늄 배선층(166)과 콘택트(165)에 의해 전기적으로 접속되어 있다. 이 때, 콘택트(165)가 소스 영역(154)과 보디 영역(164)에 걸리도록 형성된다. 그리고, 드레인 영역(153), 소스 영역(154) 및 보디 영역(164)의 주변에 둘러싸여 부분 분리 영역(161)이 형성되어 있다.

도 81에 도시한 바와 같이, 소스 영역(154) 상에 실리사이드층(167)이 형성되고, 실리사이드층(167)의 일부 및 상부 보디 영역(164) 상에 콘택트(165)를 형성하고 있다. 또, 다른 구성은 도 78 및 도 79에 도시한 제1 형태와 마찬가지로 한다.

이러한 구성에 있어서, 알루미늄 배선층(166)에 의해, 소스 영역(154) 및 보디 영역(164)을 접지 레벨에 고정함으로써, 소스 영역(154)과 동전위로 웰 영역(177)의 전위를 고정하고, 웰 영역(177)을 통해 채널 형성 영역(170)의 전위를 고정할 수 있다.

그리고, 제2 형태는, 도 80 및 도 81과 같이, 소스 영역(154) 및 보디 영역(164)을 인접하여 형성할 수 있는 만큼, 집적도의 향상을 도모할 수 있다.

<제3 형태>

도 82에 도시한 바와 같이, 부분 분리 영역(161)과 인접하고, 통상 소스 영역(154)이 되는 부분의 일부에 보디 영역(164)을 설치하고, 소스 영역(154) 상에 콘택트(165)를 설치하여도, 제2 형태와 동등한 효과를 발휘한다.

또한, 제3 형태는, 도 82와 같이, 소스 영역(154)이 되는 영역 내에 보디 영역(164)을 완전 중복하여 형성할 수 있는 만큼, 제1 및 제2 형태 이상으로 집적도의 향상을 도모할 수 있다.

<<실시 형태 13>>

도 83은 본 발명의 실시 형태 13인 SOI 구조의 반도체 장치의 단면 구조를 나타낸 단면도이다. 상기 도면에 도시한 바와 같이, n⁺활성 영역(171, 172) 사이를 분리하는 부분 분리 영역을 산화막(173)과 산화막(173) 하의 웰 영역(p 영역 174, 175 및 p⁺영역 176)으로부터 구성하고 있다. 또, n⁺활성 영역(171, 172)으로서 예를 들면, 트랜지스터의 소스, 드레인 영역이 생각되고, p 영역(174, 175)이 n⁺활성 영역(171, 172)에 인접하는 웰 영역의 주변 영역으로 되고, p⁺영역(176)이 웰 영역의 중심 영역이 된다.

이와 같이, 실시 형태 13은, n⁺활성 영역(171, 172)과 인접하는 p 영역(174 및 175)의 불순물 농도를 p⁺영역(176)보다 높게 설정함으로써, 부분 분리에 있어서의 펀치스루 내성의 향상을 도모하고 있다.

또, 제조 방법으로서, 산화막(173) 아래에 p⁺의 웰 영역 형성 후, 경사 회전 주입으로 붕소나 BF₃를 웰 영역에 도달하도록 주입하면, 도 83에서 도시한 바와 같이, p 영역(174, 175)을 형성할 수 있다.

예를 들면, 붕소(B)를 주입 에너지 20keV, 주입 각도 45도이고, 도즈량 4×10¹⁸/cm² 주입하면 좋다. 또 한, B나 BF₃의 주입 에너지가 낮은 경우(예를 들면, BF₃의 주입에너지 20keV)에서도, n⁺의 불순물 주입 시에 발생하는 격자 결함에 의한 증속 확산에 의해 n⁺활성 영역(171, 172)의 주변에 p⁺형의 영역을 형성함으로써 p⁺영역(174, 175)을 설치하는 것도 가능하다.

<<실시 형태 14>>

<제1 형태>

도 84는 본 발명의 실시 형태 14인 SOI 구조의 반도체 장치의 제1 형태의 단면 구조를 나타낸 단면도이다. 상기 도면에 도시한 바와 같이, 실리콘 기판(1) 및 매립 산화막(2) 상의 SOI층(3)에 형성되고, 드레인 영역(183), 소스 영역(184), 게이트 산화막(185), 게이트 전극(186) 및 채널 형성 영역(187)으로 구성되는 NMOS 트랜지스터가 산화막(181) 및 웰 영역(182)으로 이루어지는 부분 분리 영역에 의해 부분 분리된다.

이 때, 도 84의 우측에 도시한 바와 같이, 드레인 영역(183) 및 소스 영역(184)의 불순물 농도 프로파일과, 웰 영역(182)의 불순물 농도 프로파일과 비교한 경우, 웰 영역(182)의 농도 불순물 피크가 드레인 영역(183) 및 소스 영역(184)의 불순물 농도 피크보다 SOI층(3)의 표면으로부터의 깊이가 깊어지도록 설정한다.

이러한 구성의 제1 형태의 반도체 장치는, 드레인 영역(183) 및 소스 영역(184)과 웰 영역(182)과의 PN 접합 부분을 얇은 불순물 프로파일끼리 형성할 수 있기 때문에, 드레인 영역(183) 및 소스 영역(184)과 웰 영역(182)과의 PN 접합 내압을 높일 수 있다.

<제2 형태>

도 85는 본 발명의 실시 형태 14인 S01 구조의 반도체 장치의 제2 형태의 단면 구조를 나타낸 단면도이다. 상기 도면에 도시한 바와 같이, 제1 형태와 마찬가지로 구조를 나타내고 있다.

이 때, 도 85의 우측에 도시한 바와 같이, 웰 영역(182)의 불순물 프로파일과 채널 형성 영역(187)의 불순물 프로파일과 비교한 경우, 웰 영역(182)의 불순물 피크가 채널 형성 영역(187)의 불순물 피크보다 S01층(3)의 표면으로부터의 깊이가 얕게 되도록 설정한다. 예를 들면, 부분 분리층의 산화막(181)의 상면이 S01층(3)의 표면보다 상부에 있는 상태에서 불순물 주입함으로써 웰 영역(182) 및 채널 형성 영역(187)을 동시에 형성하면, 채널 형성 영역(187)은 자동적으로 웰 영역(182)보다 깊은 위치에 피크가 되는 불순물 프로파일로 된다.

이러한 구성의 제2 형태의 반도체 장치는, 채널 형성 영역(187)의 표면의 불순물 농도를 충분히 내리고, 임계치 전압이 원하는 값보다 커지지 않도록 할 수 있다.

<<실시 형태 15>>

<제1 형태>

도 86은 본 발명의 실시 형태 15인 S01 구조의 반도체 장치의 제1 형태의 구조를 나타낸 단면도이다. 상기 도면에 도시한 바와 같이, 실리콘 기판(1) 및 매립 산화막(2) 상의 S01층(3)에 n⁺활성 영역(191~193)이 선택적으로 형성되고, n⁺활성 영역(191, 192) 사이가 완전 분리 영역(209)으로 분리되고, n⁺활성 영역(192, 193) 사이가 부분 분리 영역(219)으로 분리되어 있다.

완전 분리 영역(209)은 산화막(188)과 산화막(188) 아래에 형성되는 웰 영역(p 웰 영역 194, 195 및 p 웰 영역 196, 197)으로 구성된다. 산화막(188)은 중심부의 완전 절연 부분(229)이 S01층(3)을 관통하여 형성됨으로써, n⁺활성 영역(191, 192) 사이를 완전 분리할 수 있다. 한편, 부분 분리 영역(219)은 산화막(189)과 산화막(189) 하의 p 웰 영역(198)에 의해 구성된다.

산화막(188) 하의 웰 영역에 있어서, 완전 절연 부분(229)에 인접하여 형성되는 p 웰 영역(196, 197)의 불순물 농도를 다른 영역(194, 195)보다 높게 설정하고 있다.

완전 절연 부분(229)의 근방 영역에서는 S01층(3)에 걸리는 스트레스에 의해 전하가 발생하거나 불순물의 산화막에의 편석에 의해 편치스루하기 쉬운 상태가 된다고 하는 문제점이 생길 가능성이 높다.

그러나, 실시 형태 15의 제1 형태는, 완전 절연 부분(229)의 근방에 비교적 불순물 농도가 높은 p 웰 영역(196, 197)을 설치하고 있기 때문에, 상기 문제점의 발생의 가능성을 억제할 수 있다.

<제2 형태>

도 87은 본 발명의 실시 형태 15인 S01 구조의 반도체 장치의 제2 형태의 구성을 나타낸 평면도이다. 상기 도면에 도시한 바와 같이, 드레인 영역(201), 소스 영역(202) 및 게이트 전극(203)으로 이루어지는 NMOS 트랜지스터의 주위를 부분 분리 영역(204~207)으로 둘러싸고, 또한 부분 분리 영역(204~207)의 주위를 완전 분리 영역(208)으로 둘러싸고 있다.

부분 분리 영역(204~207)에 있어서, 게이트 전극(203)의 근방 영역은 불순물 농도가 비교적 높은 p 웰 영역(206 및 207)을 형성하고, 그 이외의 드레인 영역(201) 및 소스 영역(202)에 접한 영역은 불순물 농도가 낮은 p⁺ 웰 영역(204 및 205)을 형성하고 있다.

이러한 구성의 실시 형태 15의 제2 형태는, p⁺ 웰 영역(204 및 205)에 의해 PN 접합 용량의 저하를 도모하고, p 웰 영역(206 및 207)에 의해 편치 스루를 방지할 수 있다.

<<실시 형태 16>>

<제1 형태>

도 88은 본 발명의 실시 형태 16인 S01 구조의 반도체 장치의 제1 형태의 구조를 나타낸 단면도이다. 상기 도면에 도시한 바와 같이, 실리콘 기판(1) 및 매립 산화막(2) 상의 S01층(3) 내에 부분 분리 영역용의 산화막(211)을 형성하고 있다.

분리 형상의 최적화에 있어서, 분리폭의 축소와 S01층에 걸리는 스트레스 완화의 양면의 밸런스를 취할 필요가 있다. 부분 분리 영역용의 산화막의 형상에 있어서, 분리폭의 축소를 위해 될 수 있는 한 각부의 곡률 반경을 작게 하고, 또한 깊이 방향의 면을 수직으로 가깝게 하는 것이 좋다. 반대로 스트레스 완화를 위해서는 각부의 곡률 반경을 크게 하는 편이 좋다. 또한, 새부리 형상부는 유효한 활성 영역폭을 확보하기 위해 될 수 있는 한 작게 하는 것이 바람직하다.

이러한 관점으로부터, 제1 형태의 산화막(211)의 단면 형상은, 분리폭을 축소하기 위해, 표면의 각부의 새부리 형상부의 형상 FA(볼록 부분)의 곡률을 심하게 하고, 스트레스를 완화하기 위해 저면의 각부의 형상 FB의 곡률을 크게 설정하고 있다. 또한, 분리폭을 축소하기 위해, 깊이 방향의 면의 형상 FC의 적어도 일부는 수직에 가깝게 하는 것이 바람직하다.

<제2 형태>

도 89는 본 발명의 실시 형태 16인 S01 구조의 반도체 장치의 제2 형태의 구조를 나타낸 단면도이다. 상기 도면에 도시한 바와 같이, 실리콘 기판(1) 및 매립 산화막(2) 상의 S01층(3) 내에 완전 분리 영역용의 산화막(212)을 형성하고 있다.

제2 형태도 제1 형태와 마찬가지로 관점으로부터, 산화막(212)의 단면 형상은, 제1 형태와 마찬가지로 형

상 FA, FB, FO에 설정하고, 또한, 바닥부의 완전 절연 부분과 부분 분리 부분과의 단차부의 형상 FO의 곡율을 형상 FC보다도 작게 설정하여 분리쪽의 축소를 도모하고 있다.

<<실시 형태 17>>

<<제1 형태>>

도 90은 본 발명의 실시 형태 17인 S01 구조의 반도체 장치의 제1 형태의 구조를 나타낸 단면도이다. 또, 제1 형태는 도 91에 도시한 회로를 실현하고 있다. 도 91에 도시한 바와 같이, 아날로그 회로용 트랜지스터 Q21의 게이트 전극과 아날로그 회로용 트랜지스터 Q22의 한쪽 전극 사이가 스파이럴 인덕터(199)를 통해 접속되는 회로 구성이 제1 형태의 회로 구성이다.

도 90에 도시한 바와 같이, 고저항 실리콘 기판(200) 상에 매립 산화막(2)이 형성되고, 매립 산화막(2) 상의 S01층(3)에 아날로그 회로용 트랜지스터 Q21 및 Q22가 제조되어 있다.

아날로그 회로용 트랜지스터 Q21 및 Q22는 모두 드레인 영역(5), 소스 영역(6), 채널 형성 영역(7), 게이트 산화막(8) 및 게이트 전극(9)으로 구성되고, 아날로그 회로용 트랜지스터 Q21, Q22 사이는 비교적 형성 면적이 큰 산화막(210)에 의해 완전 분리되고, 아날로그 회로용 트랜지스터 Q21, Q22와 다른 주변부는 비교적 형성 면적이 작은 산화막(33)으로 완전 분리되어 있다. 또, 산화막(210 및 33)의 하측의 일부에는 웰 영역(290)이 형성되어 있다.

아날로그 회로용 트랜지스터 Q21, Q22를 포함하는 S01층(3) 전면에는 층간 절연막(4)이 형성되고, 층간 절연막(4) 상에 선택적으로 제1 배선층(221)이 형성된다. 제1 배선층(221)의 일부는 콘택트홀(244)을 통해 아날로그 회로용 트랜지스터 Q21, Q22 각각의 드레인 영역(5) 및 소스 영역(6)과 전기적으로 접속된다.

제1 배선층(221)을 포함하는 층간 절연막(4) 상의 전면에는 층간 절연막(220)이 형성되고, 층간 절연막(220) 상에 선택적으로 제2 배선층(222)이 형성되며, 제2 배선층(222)의 일부에 의해 스파이럴 인덕터(199)를 형성하고 있다. 제2 배선층(222)의 일부는 콘택트홀(254)을 통해 대응하는 제1 배선층(221)과 전기적으로 접속된다. 또, 아날로그 회로용 트랜지스터 Q21의 게이트 전극(9)은 도시하지 않은 영역으로부터 층간 절연막(4)에 형성되는 콘택트홀을 통해 제1 배선층(221)과 접속된다.

이러한 구성의 제1 형태는, 스파이럴 인덕터(199)의 아래쪽으로 산화막(210) 및 웰 영역(29)으로 이루어지는 완전 절연 영역을 설치함으로써, 스파이럴 인덕터(199)에 수반하는 기생 용량의 저감을 도모하고 있다. 즉, 스파이럴 인덕터(199) 하의 분리 영역을 산화막과 웰 영역과의 부분 분리 영역에서 형성한 경우에, 웰 영역과 스파이럴 인덕터(199) 사이에서 기생 용량이 발생하고, 성능 지수 Q(에너지 손실과 스토어의 비)가 저하하여 에너지 손실이 발생하는 등에 의해 원하는 인덕턴스 성능이 얻어지지 않는다고 하는 문제점을 해소하고 있다.

또한, 제1 형태는 S01 기판의 기초 기판으로서 고저항 실리콘 기판(200)을 이용함으로써, 와전류나 용량을 통한 전력 손실의 저감화, 기생 용량의 저감화를 도모하여, 성능 지수 Q의 향상시킬 수 있다.

또한, 아날로그 회로는 외래 노이즈를 꺼리기 때문에, 아날로그 회로용 트랜지스터 Q21, Q22의 주변을 산화막(210) 혹은 산화막(33)에 의해 완전 분리하여, 외부와 전기적 차단을 하여, 성능의 향상을 도모하고 있다.

또한, 도 90에서는 도시하고 있지 않지만, 패드부 아래쪽으로 부분 분리 영역을 형성하면 스파이럴 인덕터와 마찬가지로 큰 기생 용량이 발생하기 쉬어 용량 손실이 생기기 용이하기 때문에, 패드부 아래쪽에도 스파이럴 인덕터(199)의 하측과 마찬가지로 완전 분리 영역을 설치하는 것이 바람직하다.

<제2 형태>

도 92는 본 발명의 실시 형태 17인 S01 구조의 반도체 장치의 제2 형태의 구조를 나타낸 단면도이다. 또, 제2 형태는 제1 형태와 마찬가지로 도 91에 도시한 회로를 실현하고 있다.

도 92에 도시한 바와 같이, 아날로그 회로용 트랜지스터 Q21, Q22 사이는 비교적 형성 면적이 큰 산화막(218) 및 그 하측의 고저항 영역(223) 및 웰 영역(224)에 의해 보다 부분 분리되고, 아날로그 회로용 트랜지스터 Q21, Q22와 다른 주변부는 비교적 형성 면적이 작은 산화막(31) 및 그 하측의 웰 영역(11(12))에서 부분 분리되어 있다.

산화막(218) 하의 대부분의 영역은 고저항 영역(223)에서 형성되고, 주변부의 일부만 웰 영역(224)이 형성되어 있다. 또, 다른 구성은 도 90에 도시한 제1 형태와 마찬가지로 한다.

제2 형태와 같이, 부분 분리를 행하면서, 스파이럴 인덕터(199) 하의 부분 분리 영역의 대부분은 산화막(218)과 고저항 영역(223)에 의해 구성함으로써, 스파이럴 인덕터(199)에 수반하는 기생 용량을 충분히 억제할 수 있다.

고저항 영역(223)의 형성 방법으로서, 고저항 영역(223)에는 불순물을 도입하지 않도록 제조하는 등이 고려된다. 또한, 예를 들면 $1 \times 10^{10}/\text{cm}^2$ 정도의 고농도의 실리콘 주입을 행하여 산화막의 하측 영역을 비정질화하고, 그 후, 열처리로 폴리실리콘화하여 고저항 영역(223)을 형성하는 것도 가능하다.

<<실시 형태 18>>

도 93은 본 발명의 실시 형태 18인 S01 구조의 반도체 장치의 구성을 나타낸 평면도이다. 상기 도면에 도시한 바와 같이, DT-MOS 영역(225, 226) 사이를 완전 분리 영역(240)으로 완전 분리하고 있다. 또, DT-MOS는, 게이트 전극과 보디 영역(채널 형성 영역)을 동일 전위에 설정하는 MOS 트랜지스터이다.

DT-MOS 영역(225, 226)은 각각 p형의 웰 영역(231: 부분 분리 영역 230) 내에 n-의 NMOS 활성 영역(232)과 p-의 보디 영역(234)을 설치하고, NMOS 활성 영역(232)은 콘택트(238)를 통해 배선층(239)에 접속함과 함께, NMOS 활성 영역(232)의 중심부에 설치되는 게이트 전극(233)은 콘택트(235: 게이트 콘택트)를 통해

배선층(237)에 전기적으로 접속되고, 보디 영역(234)은 컨택트(236: 보디 컨택트)를 통해 배선층(237)에 전기적으로 접속된다.

배선층(237)에 의해 게이트 전극(233)과 보디 영역(234)을 동일 전위에 설정하여, 온상태의 임계치 전압을 저하시켜 동작 속도의 향상을 도모하고 있다.

이와 같이, 실시 형태 18은, 보디 영역(234) 및 웰 영역(231)을 통해 채널 형성 영역의 전위를 고정할 수 있음과 함께, 완전 분리 영역(240)에 의해 DT-MOS 영역(225, 226) 사이를 완전 분리할 수 있기 때문에, 성능이 좋은 DT-MOS를 비교적 용이하게 형성할 수 있다. 또, 보디 컨택트와 게이트 컨택트는 공유 컨택트에 의해 동시에 접속하여도 좋다.

<<실시 형태 19>>

도 94는 본 발명의 실시 형태 19인 SOI 구조의 반도체 장치의 구조를 나타낸 단면도이다.

상기 도면에 도시한 바와 같이, 게이트폭 W_g 가 비교적 좁은 트랜지스터를 형성하는 트랜지스터 형성 영역(227)에는, 드레인 영역(245), 소스 영역(246), 채널 형성 영역(247), 게이트 산화막(248) 및 게이트 전극(249)으로 이루어지는 MOS 트랜지스터를 구성하며, 각 MOS 트랜지스터 사이를 부분 산화막(31) 및 웰 영역(11)(12)에 의해 부분 분리하고, 주위는 완전 산화막(32)에 의해 완전 분리하고 있다.

MOS 트랜지스터를 포함하는 SOI층(3) 상의 전면에 층간 절연막(4)이 형성되고, 층간 절연막(4) 상에 선택적으로 배선층(242)이 형성된다. 배선층(242)은 컨택트홀(241)을 통해 드레인 영역(245) 및 소스 영역(246)에 전기적으로 접속된다.

한편, 게이트폭 W_g 가 비교적 넓은 트랜지스터를 형성하는 트랜지스터 형성 영역(228)에는, 드레인 영역(255), 소스 영역(256), 채널 형성 영역(257), 게이트 산화막(258) 및 게이트 전극(259)으로 이루어지는 MOS 트랜지스터를 구성하고, 각 MOS 트랜지스터 사이를 부분 산화막(31) 및 웰 영역(11)(12)에 의해 부분 분리하고, 주위는 완전 산화막(32)에 의해 완전 분리하고 있다.

MOS 트랜지스터를 포함하는 SOI층(3) 상의 전면에 층간 절연막(4)이 형성되고, 층간 절연막(4) 상에 선택적으로 배선층(252)이 형성된다. 배선층(252)은 컨택트홀(251)을 통해 드레인 영역(255) 및 소스 영역(256)에 전기적으로 접속된다.

게이트폭 W_g 가 좁은 트랜지스터 형성 영역(227)에 형성되는 드레인 영역(245) 및 소스 영역(246)의 형성 깊이를, 발트인 상태 시에 드레인/소스로부터의 공핍층(243)의 적어도 일부가 매립 산화막(2)에 도달하는 깊이로 설정하고, 접합 용량의 저감화를 도모하고 있다. 또, 드레인 영역(245) 및 소스 영역(246)의 형성 깊이를 매립 산화막(2)에 도달하는 깊이로 설정하여도 좋다.

한편, 게이트폭 W_g 가 넓은 트랜지스터 형성 영역(228)에 형성되는 드레인 영역(255) 및 소스 영역(256)의 형성 깊이를, 발트인 상태 시의 드레인/소스로부터의 공핍층(253)이 매립 산화막(2)에 도달하지 않도록 설정하고, 확실하게 채널 형성 영역(257)의 전위 고정을 할 수 있도록 하고 있다.

또, 트랜지스터 형성 영역(227 및 228)에 형성되는 2종류의 드레인/소스 영역은, 소스/드레인 형성 시의 불순물의 주입 에너지를 변화시키거나, NUOC(Non Uniformly Doped Channel)의 주입량을 변화시킴으로써 실현된다.

또한, 발트인 상태 시에 공핍층이 매립 산화막(2)에 도달하지 않을 정도의 깊이의 소스/드레인 영역을 임시로 형성한 후, 트랜지스터 형성 영역(227)측의 소스/드레인 영역에 대해서만 형성 깊이가 깊어지도록, 재차 불순물의 추가 주입을 행함으로써도 실현 가능하다.

<<실시 형태 20>>

<제1 형태>

도 95는 본 발명의 실시 형태 20인 SOI 구조의 반도체 장치의 제1 형태의 구조를 나타낸 단면도이다. 상기 도면에 도시한 바와 같이, 실리콘 기판(1) 및 매립 산화막(2) 상의 SOI층(3)에 n^+ 영역(261, 262)을 선택적으로 설치하고, n^+ 영역(261, 262) 사이에 p 영역(263) 및 산화막(264)으로 이루어지는 부분 분리 영역을 설치하고 있다. 그리고, n^+ 영역(261, 262), p 영역(263) 및 산화막(264)으로 이루어지는 필드 트랜지스터를 구성하고 있다. 또, 필드 트랜지스터는, MOS 트랜지스터의 게이트부(게이트 산화막, 게이트 전극)로 대체하여 산화막을 설치한 구조를 나타내고 있다.

이와 같이 제1 형태는, p 영역(263) 및 산화막(264)으로 이루어지는 부분 분리 영역 구조를 이용하여 필드 트랜지스터를 구성하고 있다. 필드 트랜지스터는 보호 회로용 소자 등에 응용할 수 있다.

실시 형태 20의 필드 트랜지스터의 게이트부의 구성은 부분 분리 영역과 기본적으로 동일한 구성이기 때문에, 부분 분리 영역과 함께 게이트부를 구성함으로써, 비교적 용이하게 필드 트랜지스터를 형성할 수 있다.

도 96은 회로의 입력부에 있어서의 필드 트랜지스터 이용예를 나타낸 회로도이다. 상기 도면에 도시한 바와 같이, 필드 트랜지스터 Q31의 한쪽 전극이 외부 입력 단자 P1에 접속되고 다른쪽 전극이 접지된다. 또한, 전원, 접지 사이에 필드 트랜지스터 Q33를 설치하고 있다. 또, 다른 구성은 도 68에 도시 회로 구성과 동일하기 때문에, 설명은 생략한다.

이와 같이, 필드 트랜지스터 Q31에 의해 외부 입력 단자 P1, 접지 레벨 사이의 보호, 필드 트랜지스터 Q33에 의해 전원, 접지 레벨 사이의 기생 다이오드 패스를 설치하고 있다.

도 97은 회로의 출력부에 있어서의 필드 트랜지스터 이용예를 나타낸 회로도이다. 상기 도면에 도시한 바와 같이, 필드 트랜지스터 Q32의 한쪽 전극이 외부 출력 단자 P4에 접속되어 다른쪽 전극이 접지된다.

또한, 전원, 접지 사이에 필드 트랜지스터 Q34를 설치하고 있다. 또, 다른 구성은 도 67에 도시하며 회로 구성과 마찬가지로, 설명은 생략한다.

이와 같이, 필드 트랜지스터 Q32에 의해 외부 출력 단자 P4, 접지 레벨 사이의 보호, 필드 트랜지스터 Q34에 의해 전원, 접지 레벨 사이의 기생 다이오드 패스를 설치하고 있다.

또, 필드 트랜지스터는 도 95에 도시한 바와 같이 NMOS 유사 구조가 방전 능력이 높기 때문에 바람직하지만, PMOS 유사 구조를 이용하여도 좋다. 이 경우, 필드 트랜지스터 Q31, Q32를 대신하여, 전원과 외부 입력 단자 P1 사이에 필드 트랜지스터를 설치할 필요가 있다.

<제2 형태>

도 98은 본 발명의 실시 형태 20인 S01 구조의 반도체 장치의 제2 형태의 구조를 나타낸 단면도이다. 상기 도면에 도시한 바와 같이, n⁺영역(261, 262)의 주위를 완전 산화막(265)에 의해 완전 분리하고 있다. 다른 구성은 도 95에 도시한 제1 형태와 마찬가지로, 설명은 생략한다.

제2 형태는, 필드 트랜지스터 전체를 완전 산화막(265)으로 둘러싸고 있기 때문에, 잡음 차단 등에 있어서 큰 효과를 기대할 수 있다. 또한, 필드 트랜지스터를 보호 회로로서 이용할 때, 다른 구성 소자의 전류의 기생 패스를 확실하게 방지할 수 있다.

<제3 형태>

도 99는 본 발명의 실시 형태 20인 S01 구조의 반도체 장치의 제3 형태의 구조를 나타낸 평면도이다. 복수의 n⁺영역(261, 262)을 교대로 배치하고, 각 n⁺영역(261, 262)사이를 산화막(264) 및 p⁺영역(263)에 의해 부분 분리하고, 주위 전체를 완전 산화막(265)에 의해 완전 분리하고 있다.

복수의 n⁺영역(261)은 공통으로 접속 단자 P11에 접속되고, 복수의 n⁺영역(262)은 공통으로 접속 단자 P12에 접속된다. 이와 같이, 빗형 구조로 배치된 복수의 n⁺영역(261 및 262)을 전기적으로 병렬로 접속함으로써, 방전 능력을 높일 수 있다.

<기타>

또, 필드 트랜지스터의 소스/드레인 영역(n⁺영역 261, 262)을 매립 산화막(2)에 도달시키지 않고, 공핍층이 매립 산화막(2)에 도달하는 레벨의 깊이로 형성하여도 좋다.

<<보충>>

소스/드레인 영역을 매립 산화막에 도달시키기 위해, 통상의 수법으로 불순물의 주입 깊이를 충분히 깊게 하여 소스/드레인 영역을 형성하거나, 불순물 피크가 얇은 불순물 주입 후에 불순물 피크가 깊은 불순물 주입을 행하도록 하여도 좋다.

그러나, 상기한 방법에서는, 도 85에 도시한 실시 형태 14의 제1 형태와 같이 소스/드레인 영역이 얇은 부분에 불순물 농도의 피크를 갖게 하며, 또한 S01층(3)을 관통하는 깊이로 불순물 분포를 갖게 할 수 없다.

그래서, 주입 각도를 0도 근방에 주입 에너지를 충분히 작게 하여 불순물의 미온 주입을 행하는 등의 방법을 적용함으로써, 불순물 피크는 도 100의 L1로 도시한 바와 같이 S01층(3)의 비교적 얇은 위치에 설정함과 함께, 채널링 현상에 의한 데일 프로파일에 의해, 도 100의 L2에 도시한 불순물 분포와 같이, 불순물이 S01층(3)을 관통하여 매립 산화막(2)에 도달하도록 분포시킬 수 있다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 따른 반도체 장치에 있어서, 소자 분리 영역 중 적어도 1개의 영역은, 상층부에 설치된 부분 절연 영역과 하층부에 존재하는 S01층의 일부인 반도체 영역으로 구성되는 부분 분리 영역을 포함하며, 반도체 영역은 복수의 소자 형성 영역의 적어도 1개의 영역 및 보디 영역과 접하여 형성되기 때문에, 부분 절연 영역에 의해 복수의 소자 형성 영역을 절연 분리함과 함께, 상기 적어도 1개의 소자 형성 영역을 상기 반도체 영역 및 상기 보디 영역에 의해 전위 고정할 수 있다.

그 결과, 상기 적어도 1개의 소자 형성 영역의 기판 부유 효과를 저감한 S01 구조의 반도체 장치를 얻을 수 있다.

본 발명에 따른 반도체 장치에 있어서, 복수의 제1 소자 형성 영역은 각각 부분 분리 영역에 의해 소자 분리되고, 복수의 제2 소자 형성 영역은 각각 부분 분리 영역에 의해 소자 분리되고, 복수의 제1 소자 형성 영역과 복수의 제2 소자 형성 영역은 S01층을 관통한 완전 분리 영역에 의해 소자 분리되기 때문에, 다른 소자 사이의 소자 형성 영역을 완전히 절연 분리함과 함께, 동일한 소자 내의 소자 형성 영역의 기판 부유 효과를 저감할 수 있다.

본 발명에 따른 반도체 장치에 있어서, 제1 회로용의 복수의 소자 형성 영역은 S01층을 관통한 완전 분리 영역에 의해 소자 분리되고, 제2 회로용의 복수의 소자 형성 영역은 부분 분리 영역에 의해 소자 분리된다.

따라서, 기판 부유 효과의 영향을 중시하는 회로는 제2 회로로 하고, 기판 부유 효과를 중시하지 않은 회로는 제1 회로로서 취급함으로써, 형성하는 회로의 성질에 기초한 적절한 절연 분리를 행할 수 있다.

본 발명에 따른 반도체 장치에 있어서, 제1 부분 S01층의 막 두께는 제2 부분 S01층의 막 두께보다도 얇게 형성되고, 복수의 제1 회로용의 소자 형성 영역은 제1 부분 S01층에 형성되고, 복수의 제2 소자 형성 영역은 제2 회로용의 부분 S01층에 형성된다.

- 따라서, 제1 및 제2 부분 S01층의 막 두께의 차이를 이용하여, 제1 부분 S01층을 관통한 완전 분리용 트렌치와 제2 부분 S01층을 관통하지 않은 부분 분리용 트렌치를, 제1 및 제2 부분 S01층에 대해 동시에 형성할 수 있기 때문에, 제조 공정의 간략화를 도모할 수 있다.
- 본 발명에 따른 반도체 장치에 있어서, 소정의 회로용 소자 형성 영역과 다른 회로용 소자 형성 영역은 S01층을 관통한 완전 분리 영역에 의해 소자 분리되기 때문에, 상기 다른 회로는 소정의 회로에서의 영향을 완전히 차단할 수 있다.
- 본 발명에 따른 반도체 장치에 있어서, 부분 분리 영역에 의해 소자 분리된 소자 형성 영역에 형성되는 소자의 활성 영역의 S01층 표면으로부터 형성 깊이는, 부분 분리 영역의 형성 깊이보다 얇게 형성되기 때문에, 부분 분리 영역에 의한 분리 특성의 열화를 최소한으로 억제할 수 있다.
- 본 발명에 따른 반도체 장치에 있어서, 반도체 영역은 폴리실리콘 영역을 포함하기 때문에, 반도체 영역을 정밀도 양호하게 형성할 수 있다.
- 본 발명에 따른 반도체 장치에 있어서, 부분 절연 영역은 저유전률막을 포함하기 때문에, 부분 절연 영역의 용량치에 기초하는 문제점을 최소한으로 억제할 수 있다.
- 본 발명에 따른 반도체 장치에 있어서, 부분 절연 영역은 적어도 측면에 설치된 부분 절연막과 그 이외의 영역에 설치된 저유전률막을 포함하기 때문에, 부분 절연 영역의 측면 방향으로 형성되는 소자의 영향을 부분 절연막에 의해 효과적으로 억제하면서, 부분 절연 영역의 용량치에 기초하는 문제점을 억제할 수 있다.
- 본 발명에 따른 반도체 장치에 있어서의 복수의 소자 분리 영역의 적어도 하나의 영역은 소정의 형성폭으로 상기 반도체 기판의 표면에 대해 거의 수직으로 연장되어 형성되기 때문에, 집적도를 손상하지 않고 소자 분리를 행할 수 있다.
- 본 발명에 따른 반도체 장치의 보디 영역은, 복수의 소자 형성 영역중, 적어도 1개의 소자 형성 영역의 표면 혹은 이면에 접하도록 형성되기 때문에, 상기 적어도 1개의 소자 형성 영역을 상기 보디 영역에 의해 전위 고정할 수 있다.
- 본 발명에 따른 반도체 장치에 있어서, 보디 영역은, S01층 하의 매립 절연층의 상층부에 형성되기 때문에, 소자 분리 영역에 의한 소자 분리 특성에 부여하는 악영향을 최소한으로 억제할 수 있다.
- 본 발명에 따른 반도체 장치에 있어서, 보디 영역은, 매립 절연층을 관통하여 형성되기 때문에, 반도체 기판측으로부터 상기 적어도 1개의 소자 형성 영역을 상기 보디 영역을 통해 전위 고정할 수 있다.
- 본 발명에 따른 반도체 장치에 있어서, 보디 영역은, 적어도 1개의 소자 형성 영역의 상층에 설치되고, 적어도 1개의 소자 형성 영역의 표면에 접하기 때문에, 비교적 간단하게 형성할 수 있다.
- 본 발명에 따른 반도체 장치는, 소자 분리 영역 중 적어도 일부의 영역은, S01층을 관통한 완전 절연 영역과 부분 분리 영역이 연속하여 형성되는 복합 분리 영역을 포함하고 있고, 복수의 소자 형성 영역 중 복합 분리 영역에 의해 분리되는 소자 형성 영역 사이는, 복합 분리 영역의 완전 절연 영역에 의해 완전히 절연 분리할 수 있다.
- 본 발명에 따른 반도체 장치의 부분 분리 영역의 상면은 요철 없이 균일하게 형성되기 때문에, MOS 트랜지스터의 게이트 전극 등의 소정의 소자의 구성 요소를 형성할 때의 패터닝이 용이하게 된다고 하는 효과를 발휘한다.
- 본 발명에 따른 반도체 장치의 복합 분리 영역의 반도체 영역의 막 두께는, S01층의 막 두께의 1/2 이하로 설정되기 때문에, 복합 분리 영역에 의해 충분히 고도한 분리 특성을 얻을 수 있다.
- 본 발명에 따른 반도체 장치의 복합 분리 영역에 있어서 완전 절연 영역의 형성폭은 복합 분리 영역 전체의 형성폭의 1/2 이하로 설정되기 때문에, 복합 분리 영역을 구성하는 부분 분리 영역의 반도체 영역의 면적을 충분히 확보할 수 있어, 이 반도체 영역에 접한 소자 형성 영역의 전위 고정을 안정성 양호하게 행할 수 있다.
- 본 발명에 따른 반도체 장치의 완전 분리 영역은 적어도 입출력 NMOS 트랜지스터 형성 영역과 입출력 PMOS 트랜지스터 형성 영역과의 경계 근방 영역에 형성되기 때문에, 래치업 현상을 효과적으로 억제할 수 있다.
- 본 발명에 따른 반도체 장치의 완전 분리 영역은, 입출력용 트랜지스터 형성 영역과 내부 회로 형성 영역 사이의 경계 근방 영역에 더욱 형성되기 때문에, 노이즈 영향을 받기 쉬운 입출력용 트랜지스터 형성 영역의 영향을 내부 회로 형성 영역에서 완전히 차단할 수 있다.
- 본 발명에 따른 반도체 장치의 완전 분리 영역은 NMOS 트랜지스터 형성 영역과 입출력 PMOS 트랜지스터 형성 영역과의 경계 근방의 PMOS 트랜지스터 형성 영역 내의 완전 분리 영역 형성 개소에만 형성되고, 부분 분리 영역은 NMOS 트랜지스터 형성 영역의 주변 영역, 및 완전 분리 영역 형성 개소를 제외하는 NMOS 트랜지스터 형성 영역의 주변 영역에 형성되기 때문에, NMOS 트랜지스터의 기판 전위의 고정을 부족 없이 행하고, NMOS 트랜지스터 형성 영역, PMOS 트랜지스터 형성 영역 사이의 경계를 면적 효율적으로 완전 분리할 수 있다.
- 본 발명에 따른 반도체 장치의 부분 분리 영역은 MOS 트랜지스터 영역의 게이트 전극의 적어도 일단 근방의 부분 분리 영역 형성 개소에 형성되고, 완전 절연 영역은, 부분 분리 영역 형성 개소를 제외하는 MOS 트랜지스터 형성 영역의 주변 영역에 형성되기 때문에, MOS 트랜지스터의 게이트 전극 하측의 채널 형성 영역의 전위 고정을 효과적으로 행하면서, 완전 분리 영역에 의해 MOS 트랜지스터 형성 영역을 주위에서 거의 완전히 분리할 수 있다.
- 본 발명에 따른 반도체 장치의 보디 영역은, 주변 부분 분리 영역의 주위에 둘러싸여 형성되는 제2 도전

형의 주변 보디 영역을 포함하기 때문에, 주변 보디 영역을 전위 고정함으로써 트랜지스터 형성 영역을 주위에서 효과적으로 분리할 수 있다.

본 발명에 따른 반도체 장치의 소스 인접 보디 영역은 MOS 트랜지스터 형성 영역의 소스 영역에 인접하여 형성되고, 전위 설정 영역에 의해 소스 영역과 공통 접속되기 때문에, 소스 영역에 인접하여 소스 인접 보디 영역을 형성할 수 있는 만큼, 집적도의 향상을 도모할 수 있다.

본 발명에 따른 반도체 장치의 부분 분리 영역의 반도체 영역을 구성하는 제1 및 제2 부분 반도체 영역의 불순물 농도를 다르게 설정함으로써, 부분 분리 영역에 의한 분리 특성, 기판 부유 효과의 저감화 등에 알맞는 반도체 영역을 얻을 수 있다.

본 발명에 따른 반도체 장치의 비교적 불순물 농도가 높은 제1 부분 반도체 영역은 복수의 소자 형성 영역 중 분리 대상의 소자 형성 영역에 인접하는 주변 영역을 포함하기 때문에, 부분 분리 영역에 의한 분리에 의한 편차스루 내성의 향상을 도모할 수 있다.

본 발명에 따른 반도체 장치의 비교적 불순물 농도가 높은 제1 부분 반도체 영역은 MOS 트랜지스터 형성 영역의 게이트 전극 근방 영역을 포함하며, 비교적 불순물 농도가 낮은 제2 부분 반도체 영역은 MOS 트랜지스터 형성 영역의 드레인/소스 근방 영역을 포함하기 때문에, PN 접합 용량의 저하와 편차스루 내성의 향상을 도모할 수 있다.

본 발명에 따른 반도체 장치의 부분 분리 영역에서의 반도체 영역의 불순물 농도의 피크가, MOS 트랜지스터 형성 영역의 드레인/소스 영역의 불순물 농도의 피크보다, SOI층의 표면으로부터의 깊이가 깊어지도록 설정되기 때문에, 드레인/소스 영역과 반도체 영역 사이의 PN 접합 내압을 높일 수 있다.

본 발명에 따른 반도체 장치의 MOS 트랜지스터 형성 영역의 채널 형성 영역의 불순물 농도의 피크가, 부분 분리 영역에서의 반도체 영역의 불순물 농도의 피크보다, SOI층의 표면으로부터의 깊이가 깊어지도록 설정되기 때문에, MOS 트랜지스터의 임계치 전압이 원하는 값보다 커지지 않도록 할 수 있다.

본 발명에 따른 반도체 장치에 있어서, 완전 절연 영역에 인접하여 형성되는 제1 부분 반도체 영역의 불순물 농도를 그 이외의 반도체 영역인 제2 부분 반도체 영역의 불순물 농도보다도 높게 설정하였기 때문에, SOI층에 걸리는 스트레스 등에 의해 발생하는 문제점을 억제할 수 있다.

본 발명에 따른 반도체 장치는, 부분 분리 영역의 표면에서의 각부의 곡률 반경보다 저면에 있어서의 각부의 곡률 반경을 크게 함으로써, 분리쪽의 축소를 도모하면서 SOI층에 걸리는 스트레스 완화를 도모하고 있다.

본 발명에 따른 반도체 장치는, 복합 분리 영역에 있어서, 부분 절연 영역의 저면에 있어서의 각부보다 절연 분리 영역과 부분 절연 영역 사이에 생기는 단차부의 곡률 반경을 작게 함으로써, 분리쪽의 축소를 도모하면서 SOI층에 걸리는 스트레스 완화를 도모하고 있다.

본 발명에 따른 반도체 장치에 있어서, 완전 분리 영역은 인덕턴스 형성 영역의 아래쪽으로 형성되기 때문에, 인덕턴스 성분에 수반하는 기생 용량의 저감화를 도모할 수 있다.

본 발명에 따른 반도체 장치의 보디 영역은 MOS 트랜지스터 형성 영역에 형성되는 MOS 트랜지스터의 게이트 전극에 전기적으로 접속되는 게이트 접속 보디 영역을 포함하며, 부분 분리 영역은 MOS 트랜지스터 형성 영역의 주위에 둘러싸여 형성되기 때문에, 게이트 전극과 게이트 접속 보디 영역을 동일 전위에 설정하는 DT-MOS 트랜지스터의 성능 향상을 도모할 수 있다.

본 발명에 따른 반도체 장치의 소자의 활성 영역의 형성 깊이는 빌트 인 상태 시에 소자의 활성 영역에서 연장되는 공핍층이 매립 절연층에 도달하지 않는 레벨로 설정되기 때문에, 부분 분리 영역의 반도체 영역과 활성 영역 사이의 접합 용량의 저감화를 도모할 수 있다.

본 발명에 따른 반도체 장치의 필드 트랜지스터는, 제1 및 제2 활성 영역 사이에 형성되고, 상층부에 설치된 필드 트랜지스터용 부분 절연 영역과 하층부에 존재하는 SOI층의 일부인 필드 트랜지스터용 반도체 영역으로 구성되는 게이트부에 의해 구성된다.

게이트부의 구성은 부분 분리 영역과 기본적으로 동일한 구성이기 때문에, 부분 분리 영역과 동시에 게이트부를 구성함으로써, 비교적 용이하게 필드 트랜지스터를 형성할 수 있다.

본 발명에 따른 반도체 장치의 주변 소자 분리 영역은, 상층부에 설치된 부분 절연 영역과 하층부에 존재하는 SOI층의 일부인 반도체 영역으로 구성되는 부분 분리 영역을 포함하며, 상기 부분 분리 영역의 반도체 영역은 소자 형성 영역과 접하여 형성될과 함께 부유 상태에 설정되기 때문에, 부분 절연 영역에 의해 소자 형성 영역을 주위에서 분리함과 함께, 상기 적어도 1개의 영역 내에서 홀층 전리에 의해 발생하는 캐리어나 우주선에 의해 발생하는 전하 등을 상기 반도체 영역으로 분산시킬 수 있기 때문에, 전위 상승을 억제하여, 소프트 에러 내성을 향상시킬 수 있다.

본 발명에 따른 반도체 장치의 제조 방법에 의해 형성되는 반도체 장치에 있어서, 복수의 소자 형성 영역 중, 적어도 1개의 트랜치 내의 절연막과 그 하층의 SOI층에 의해 소자 분리되는 소자 형성 영역에 대해, 기판 부유 효과를 억제한 소자 분리가 이루어진다.

본 발명에 따른 반도체 장치의 제조 방법에 의해 형성되는 복수의 소자 형성 영역은, 제1 트랜치 내의 절연막과 그 하층의 SOI층에 의해 기판 부유 효과를 억제한 소자 분리가 이루어짐과 함께, SOI층을 관통한 제2 트랜치 내의 절연막에 의해 완전한 소자 분리가 이루어진다.

본 발명에 따른 반도체 장치의 제조 방법은, 제1 및 제2 트랜치 사이의 형성폭의 차이를 이용하여, 측벽체를 마스크로 하여 제2 트랜치의 중심부 아래의 SOI층을 관통시킴으로써, 레지스트를 이용하지 않고 부분 분리 영역과 완전 분리 영역을 선택적으로 형성할 수 있다.

본 발명에 따른 반도체 장치의 제조 방법은, 복수의 트랜치의 하층의 SOI층에 불순물을 도입하여 고농도

영역을 형성함으로써, 고농도 영역을 통해 고농도 영역에 접하는 소자 형성 영역을 안정성 용이하게 전위 고정할 수 있다.

본 발명에 따른 반도체 장치의 제조 방법은, 실리콘층과 에피택셜 성장층에 의해 SOI층을 구성하기 때문에, 결정성이 좋은 SOI층을 형성할 수 있다.

본 발명에 따른 반도체 장치의 제조 방법은, 제1 트렌치 내의 절연막과 제1 트렌치 내에 잔존한 폴리실리콘층에 의해 부분 분리 영역을 형성하고 있다. 따라서, 소자 형성 영역과 전기적으로 접촉하는 폴리실리콘층의 막 두께를 제어할 용이하게 형성할 수 있다.

본 발명에 따른 반도체 장치의 제조 방법은, 매립 절연층에 형성된 구멍부를 폴리실리콘층으로 매립하고, 적어도 1개의 소자 형성 영역과 전기적 접속 관계를 갖는 보디 영역을 형성하고 있다.

따라서, 보디 영역은, SOI층 아래의 매립 절연층에 형성되기 때문에, 소자 분리 영역에 의한 절연 분리에 미치는 악영향을 최소한으로 억제할 수 있다.

본 발명에 따른 반도체 장치의 제조 방법은, 적어도 1개의 소자 형성 영역의 단부 이면으로부터 에피택셜 성장시킨 에피택셜 성장층과 폴리실리콘층으로 이루어지는 보디 영역을 형성하고 있다.

따라서, 에피택셜 성장층을 통해 있는 만큼, 상기 적어도 1개의 소자 형성 영역에 형성되는 소자와 폴리실리콘층과의 거리를 충분하게 취할 수 있어, 양호한 전기적 특성을 얻을 수 있다.

본 발명에 따른 반도체 장치의 제조 방법의 단계(d)는, SOI층의 상층부에 농도 분포의 피크가 존재하고, 또한 채널링 현상이 생기도록 소정의 도전형의 불순물을 도입하여 소정의 소자의 활성 영역을 형성하는 단계를 포함하기 때문에, SOI층의 상층부에 불순물 농도의 피크를 존재시키면서, 채널링 현상에 의해 매립 절연막의 표면에 걸쳐 불순물이 분포하는 소정의 소자의 활성 영역을 얻을 수 있다.

본 발명에 있어서의 반도체 장치의 제조 방법은, 단계(b), (c)를 행함으로써, 복합 분리 영역용의 복합 트렌치와 부분 분리 영역용의 비관통 트렌치를 동시에 형성할 수 있다.

본 발명에 따른 반도체 장치의 설계 방법은 단계 (c)에서, 과거 데이터에 있어서의 웰 영역의 외주 근방 영역에, SOI층을 관통하는 완전 절연 영역으로 이루어지는 완전 분리 영역을 설정하기 때문에, 과거 데이터를 유효하게 활용하여 제1 및 제2 MOS 트랜지스터의 형성 영역 사이를 효과적으로 분리하는 완전 분리 영역을 설정할 수 있다.

(57) 청구의 범위

청구항 1. 반도체 기판, 매립 절연층 및 SOI층(3)으로 이루어지는 SOI 구조의 반도체 장치에 있어서,

상기 SOI층에 설치되고, 각각에 소정의 소자가 형성되는 복수의 소자 형성 영역과,

상기 SOI층에 설치되고, 상기 복수의 소자 형성 영역 사이를 절연 소자 분리하는 소자 분리 영역과,

상기 SOI층에 설치되고, 외부로부터 전위 고정 가능한 보디 영역을 구비하며,

상기 소자 분리 영역 중 적어도 일부의 영역은 상층부에 설치된 부분 절연 영역과 하층부에 존재하는 상기 SOI층의 일부인 반도체 영역으로 구성되는 부분 분리 영역을 포함하고, 상기 반도체 영역은 상기 복수의 상기 소자 형성 영역 중 적어도 1개의 소자 형성 영역 및 상기 보디 영역과 접하여 형성되는 것을 특징으로 하는 반도체 장치.

청구항 2. (a) 반도체 기판, 매립 절연층 및 SOI층으로 이루어지는 SOI 구조의 SOI 기판을 준비하는 단계와,

(b) 상기 SOI 층을 선택적으로 표면으로부터 관통시키지 않고 제거하여, 복수의 트렌치를 형성하는 단계 - 상기 복수의 트렌치 사이의 상기 SOI층의 영역이 복수의 소자 형성 영역이 될 - 을 포함하며,

(c) 상기 복수의 트렌치 각각에 절연막을 매립하는 단계 - 상기 복수의 트렌치 중 적어도 1개의 트렌치 내의 절연막과 상기 적어도 1개의 트렌치 하의 상기 SOI층에 의해 부분 분리 영역이 구성될 - , 및

(d) 상기 복수의 소자 형성 영역 각각에 소정의 소자를 형성하는 단계를 더 구비하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 3. (a) 반도체 기판, 매립 절연층 및 SOI층으로 이루어진 SOI 구조의 SOI 기판을 준비하는 단계와,

(b) 상기 SOI층을 선택적으로 표면으로부터 관통시켜 적어도 1개의 제1 트렌치를 형성하는 단계와,

(c) 상기 SOI층을 선택적으로 표면으로부터 관통시키지 않고 복수의 제2 트렌치를 형성하는 단계 - 상기 복수의 제2 트렌치 사이의 상기 SOI층의 영역이 복수의 소자 형성 영역으로 되고, 상기 복수의 제2 트렌치는 복합 트렌치와 비관통 트렌치를 포함하고, 상기 복합 트렌치는 상기 적어도 1개의 제1 트렌치를 포함하여 상기 적어도 1개의 제1 트렌치의 형성폭보다 넓게 형성됨으로써, 상기 제1 트렌치 형성부의 관통부와 상기 제1 트렌치 형성부 이외의 비관통부로 이루어지며, 상기 비관통 트렌치는 상기 적어도 1개의 제1 트렌치를 포함하지 않고 비관통부만으로 형성됨 - 을 포함하고,

(d) 상기 복합 트렌치 및 비관통 트렌치 각각에 절연막을 매립하는 단계 - 상기 복합 트렌치의 상기 비관통부의 절연막 및 상기 비관통부 하의 상기 SOI층으로 이루어지는 부분 분리부와 상기 관통부의 절연막으로 이루어지는 완전 분리부로부터 복합 분리 영역이 구성되고, 상기 비관통 트렌치 내의 절연막과 그 하층의 상기 SOI층에 의해 부분 분리 영역이 구성될 - , 및

(e) 상기 복수의 소자 형성 영역 각각에 소정의 소자를 형성하는 단계를 더 구비하는 것을 특징으로 하는

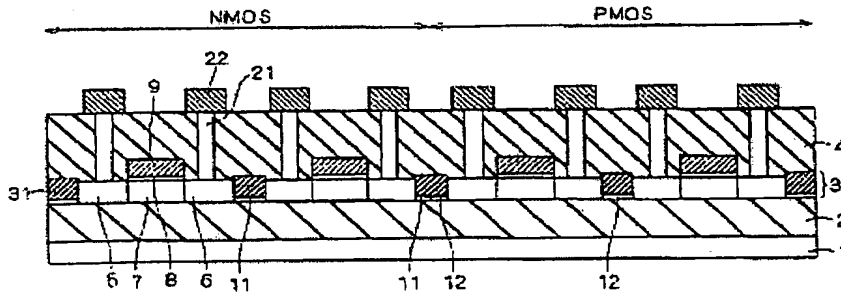
반도체 장치의 제조 방법.

청구항 4. 반도체 기판, 매립 절연층 및 SOI층으로 이루어지며, 상기 SOI층에 CMOS 디바이스가 형성되는 반도체 장치의 설계 방법에 있어서,

- (a) 웰 영역 내 형성되는 제1 도전형의 제1 MOS 트랜지스터와 상기 웰 영역밖에 형성되는 제2 도전형의 제2 MOS 트랜지스터로 이루어지는 CMOS 디바이스의 과거 데이터를 얻는 단계와,
- (b) 상기 과거 데이터에 기초하여 제1 및 제2 MOS 트랜지스터의 형성 영역을 설정하는 단계와,
- (c) 상기 과거 데이터에 있어서의 상기 웰 영역의 외주 근방 영역에, 상기 SOI층을 관통하는 완전 절연 영역으로 이루어지는 완전 분리 영역을 설정하는 단계를 구비하는 반도체 장치의 설계 방법.

도면

도면1



도면2

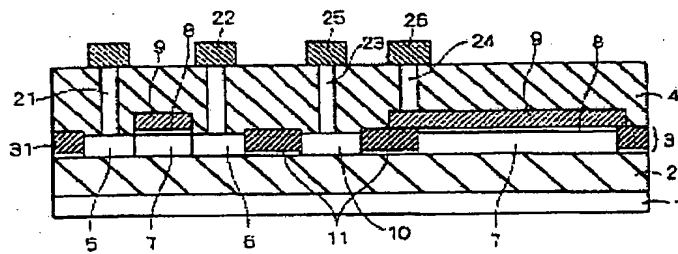


図 15

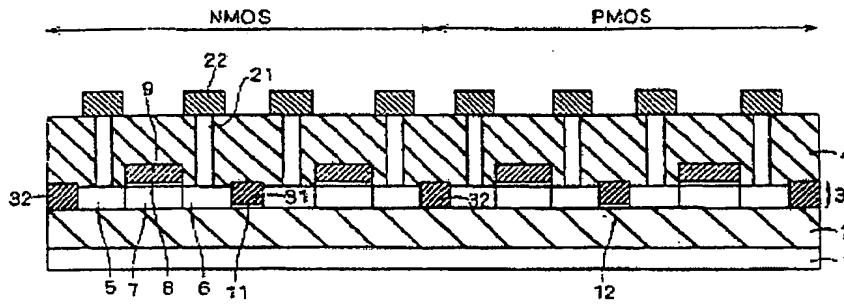


図 16

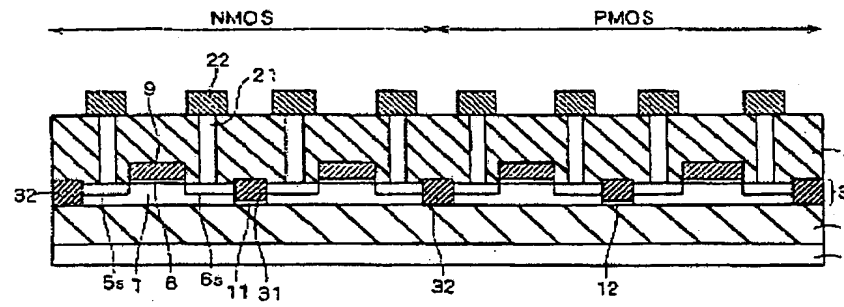


図 17

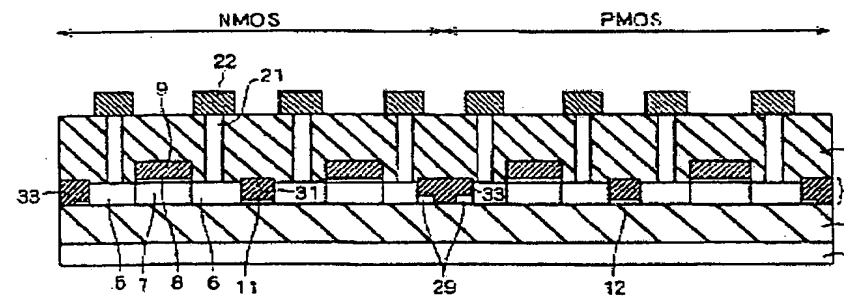
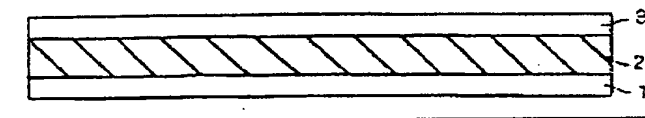
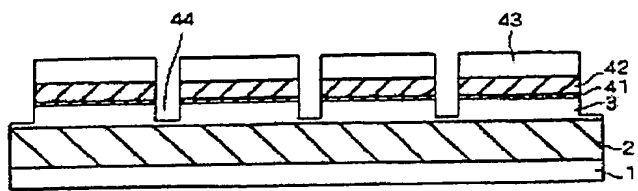


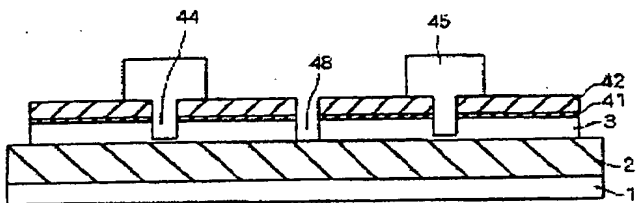
図 18



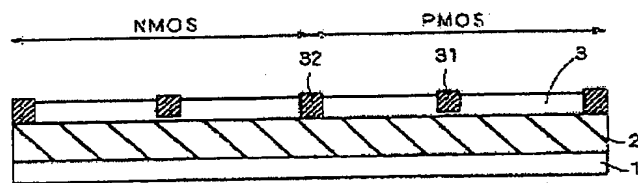
도면9



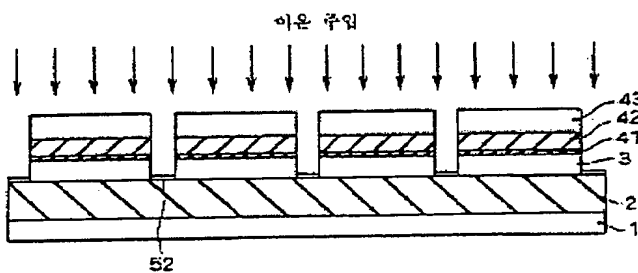
도면10



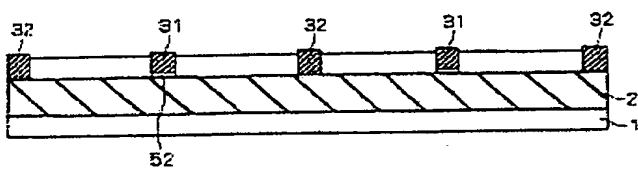
도면11



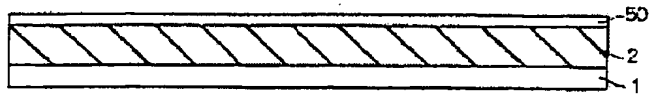
도면12



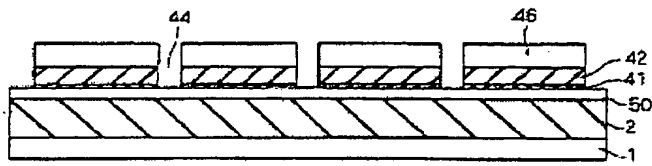
도면13



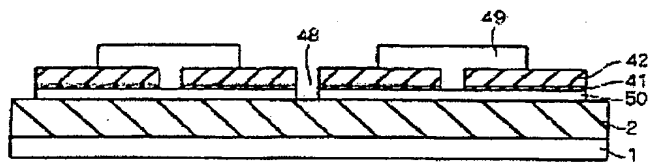
도면 14



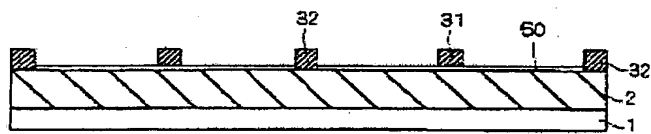
도면 15



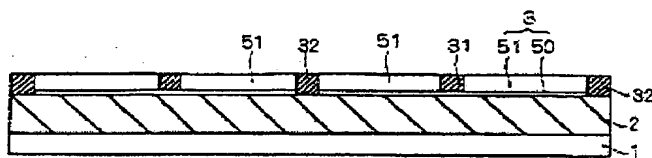
도면 16



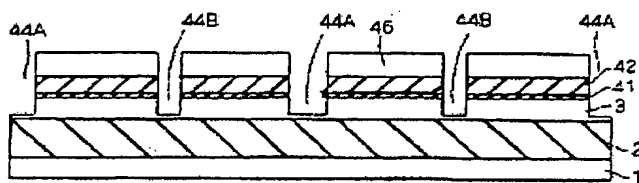
도면 17



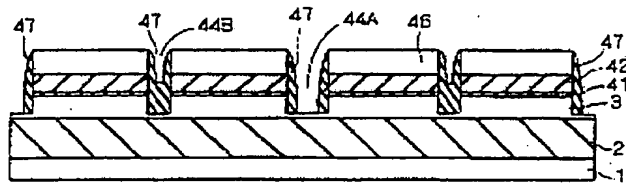
도면 18



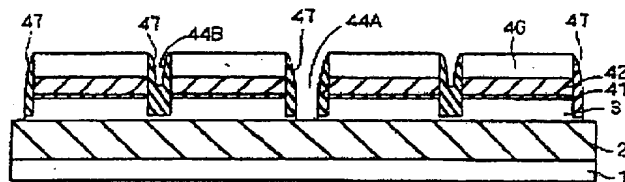
도면 19



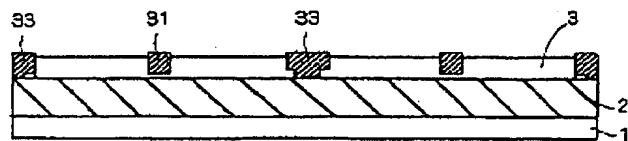
도 20



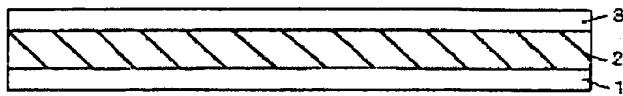
도 21



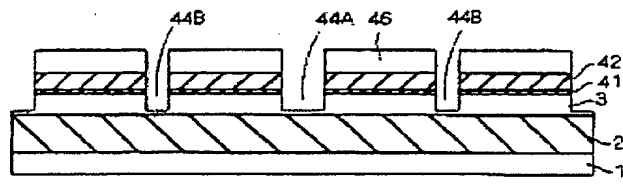
도 22



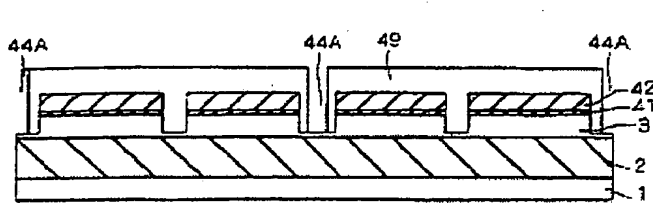
도 23



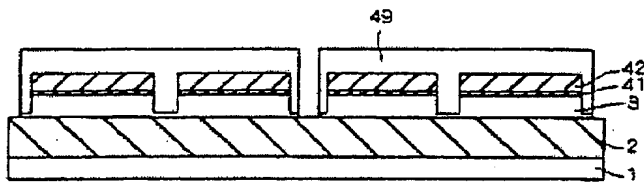
도 24



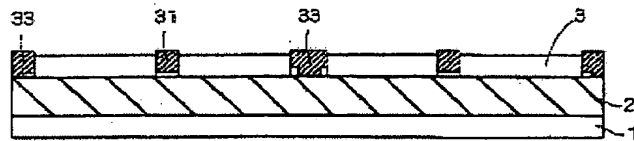
도면25



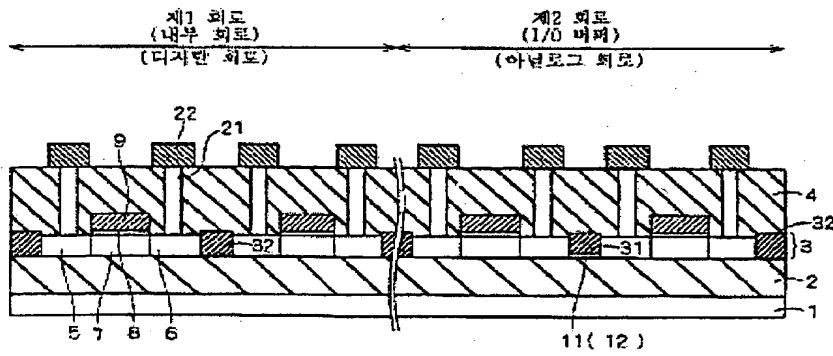
도면26



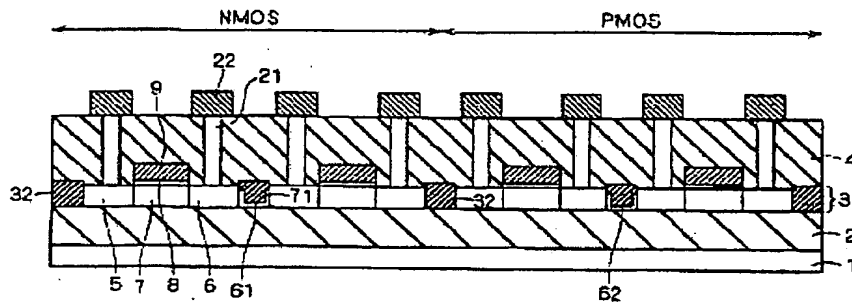
도면27



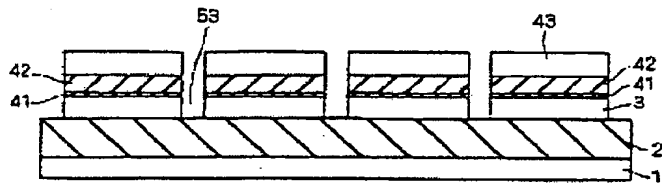
도면28



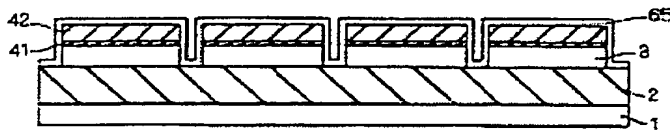
도 32



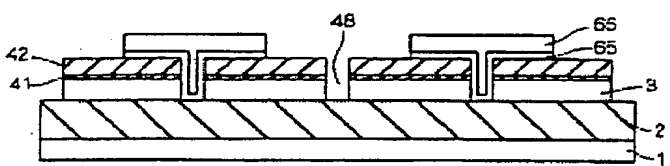
도 33



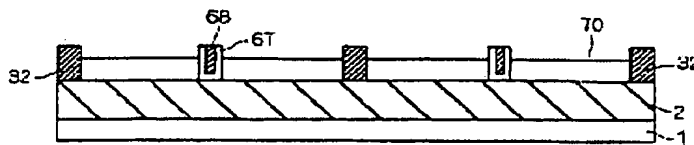
도 34



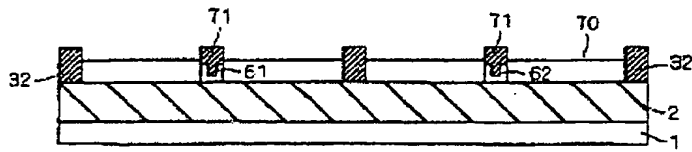
도 35



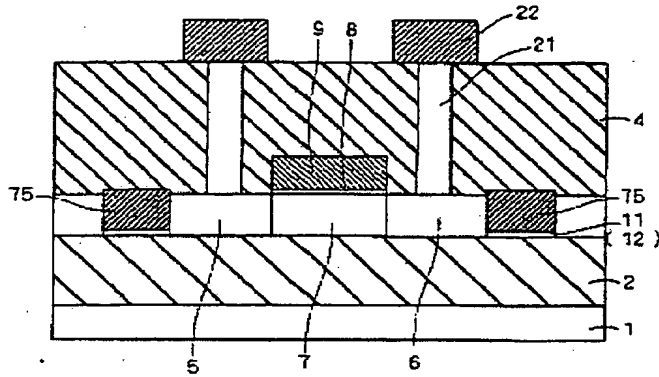
도 36



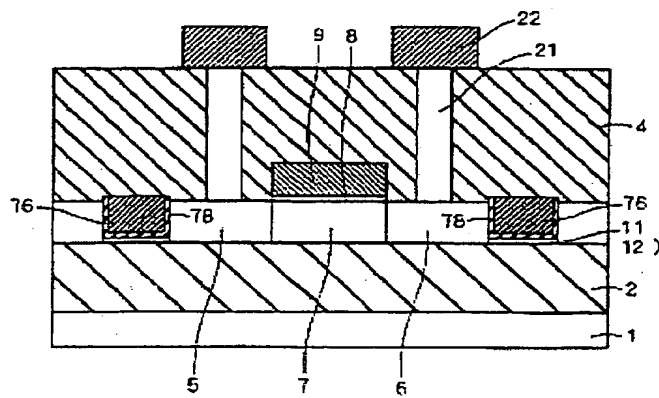
도 29



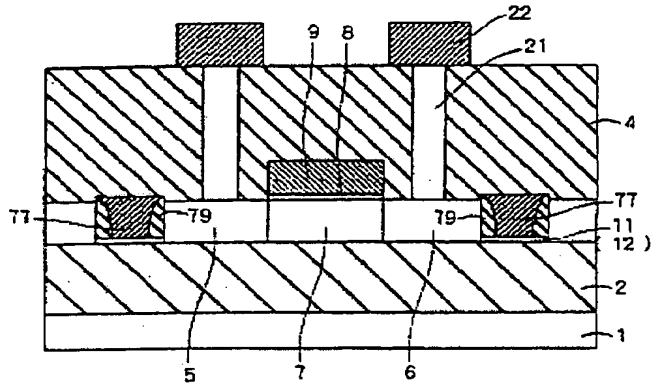
도 30



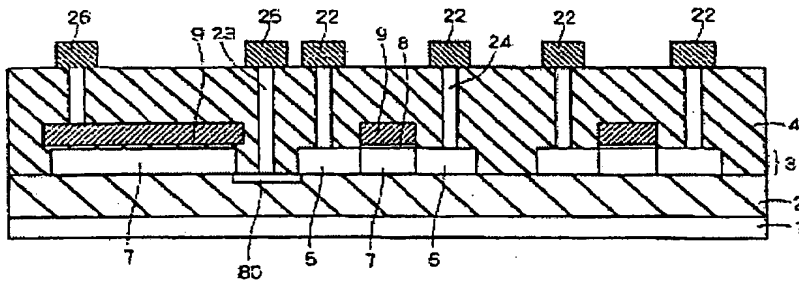
도 31



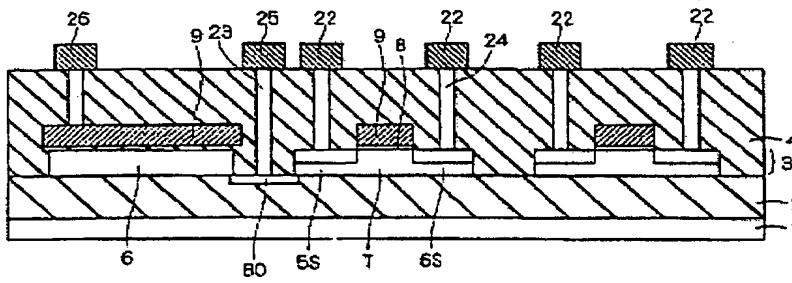
도 40



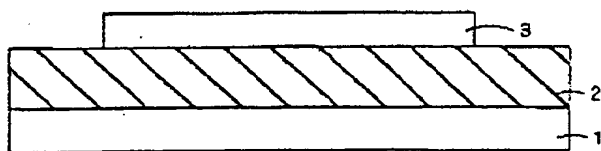
도 41



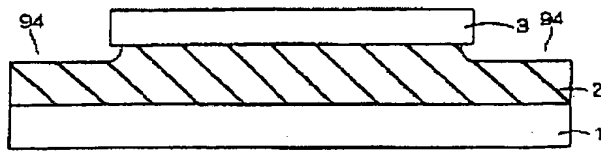
도 42



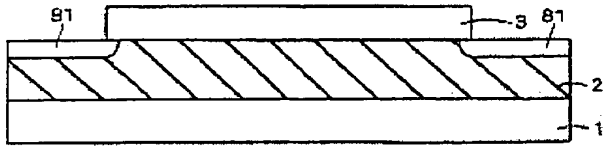
도 43



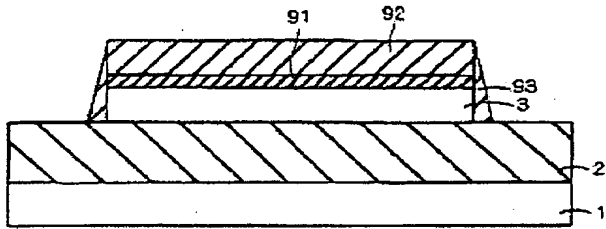
도면44



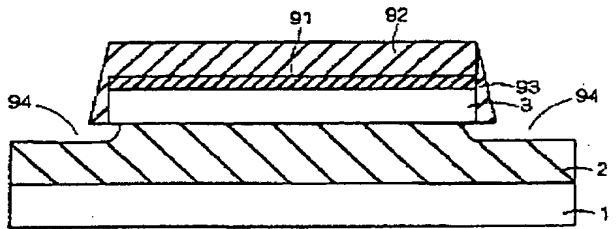
도면45



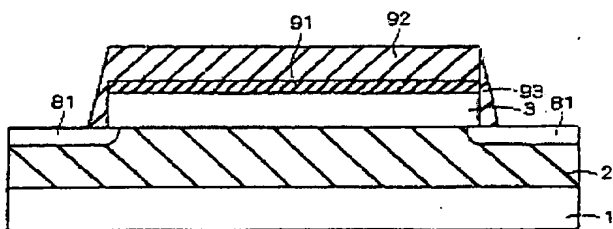
도면46



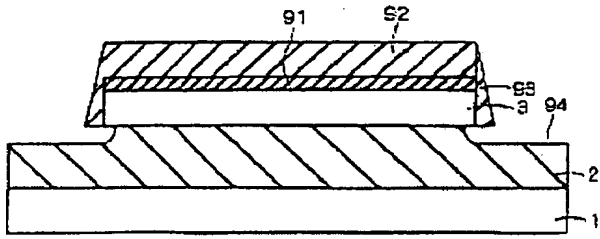
도면47



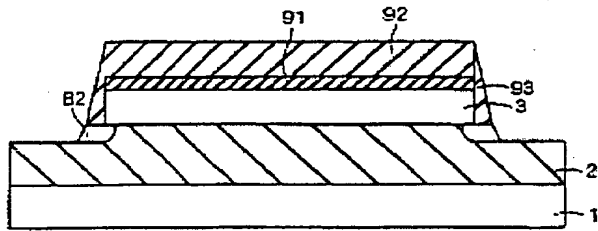
도면48



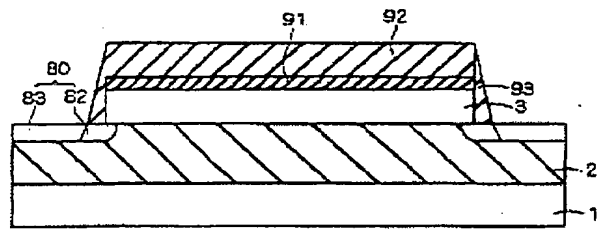
도 49



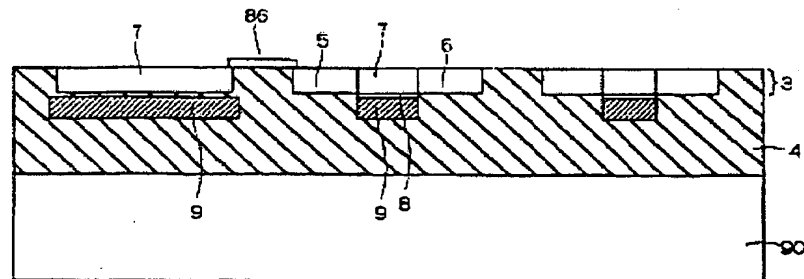
도 50



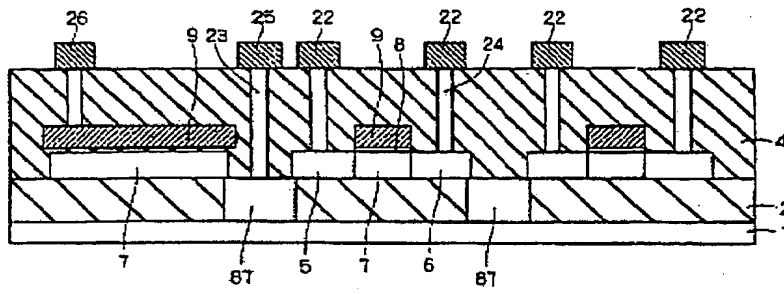
도 51



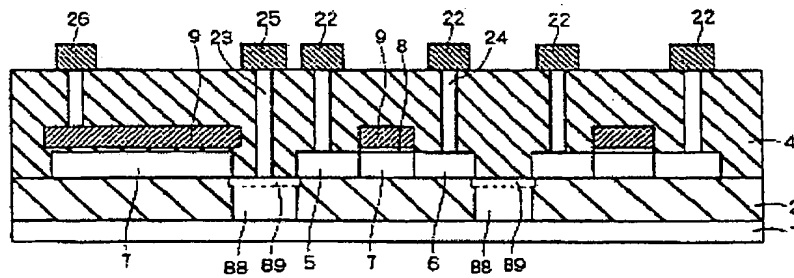
도 52



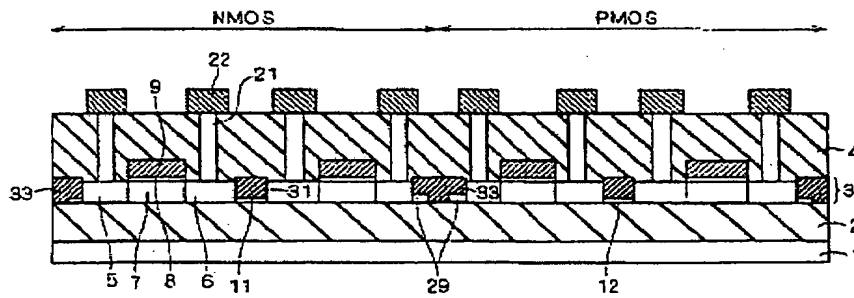
도면53



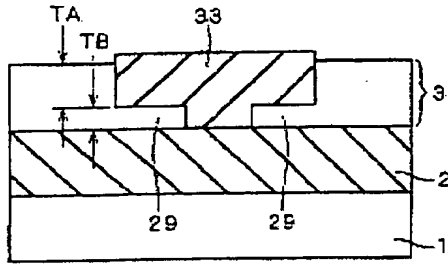
도면54



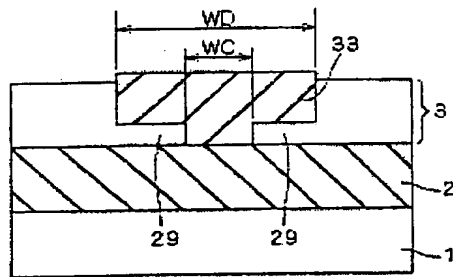
도면55



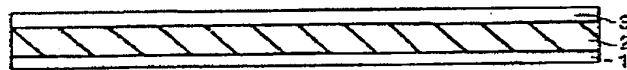
도 98



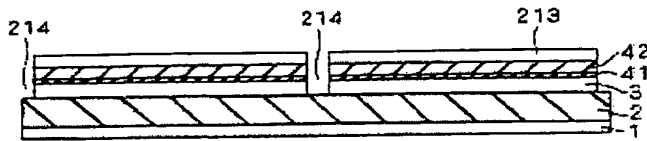
도 99



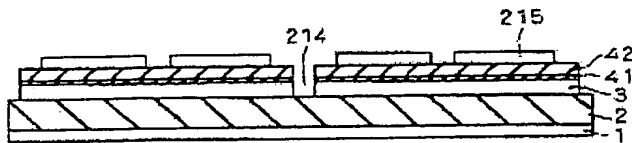
도 100



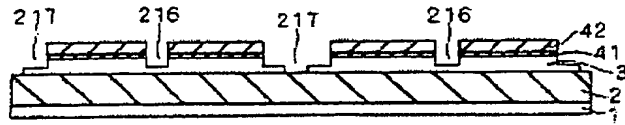
도 101



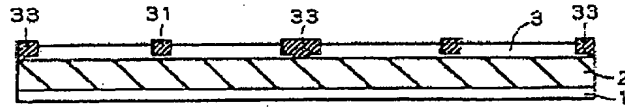
도 102



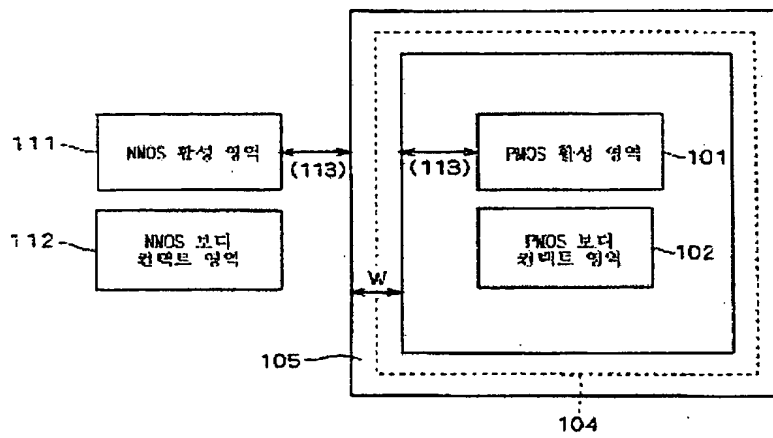
도면1



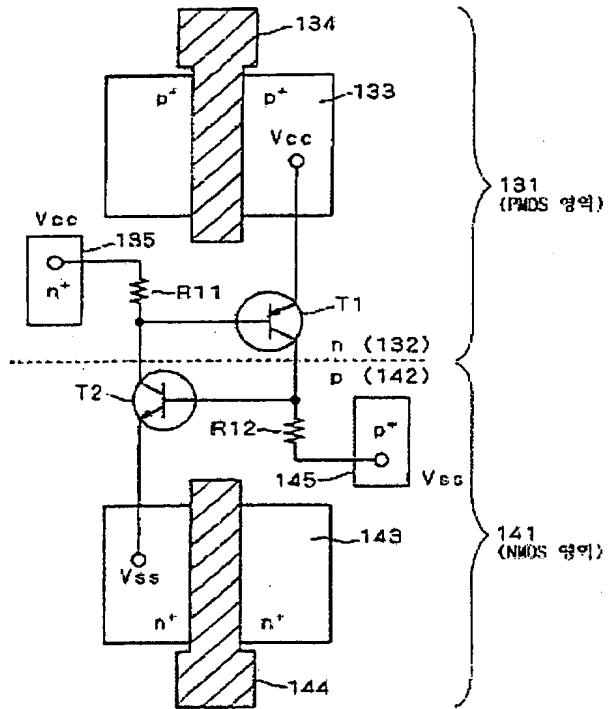
도면2



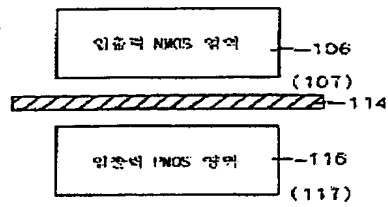
도면3



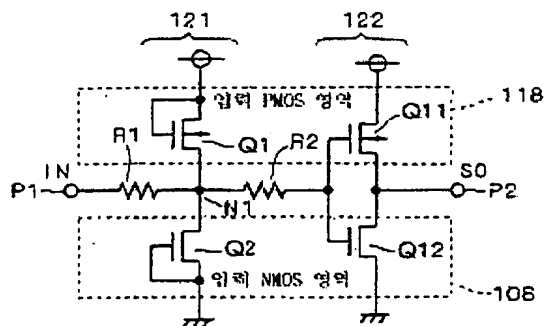
도면04



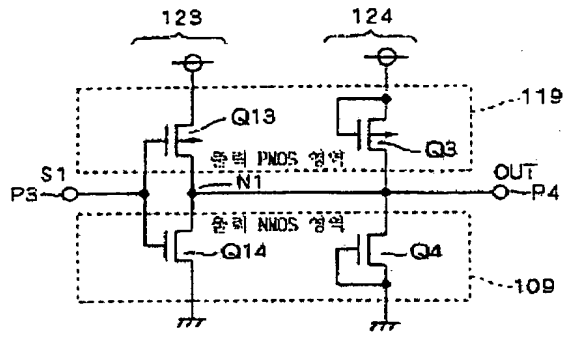
도면05



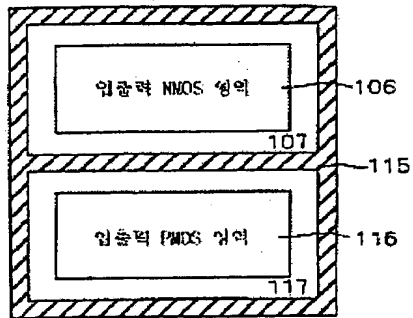
도면06



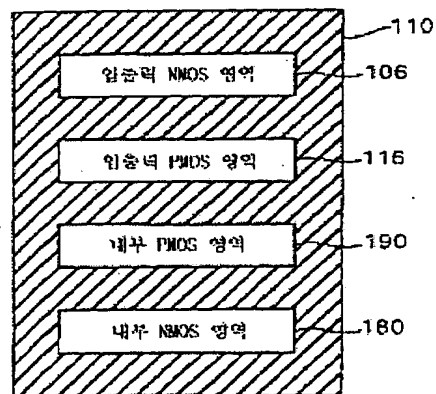
도면67



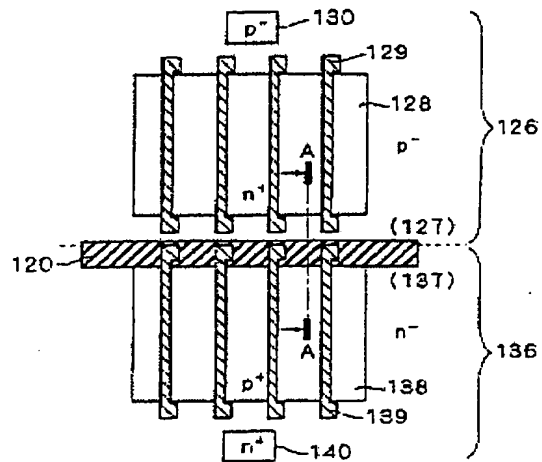
도면68



도면69



도 70



도 71

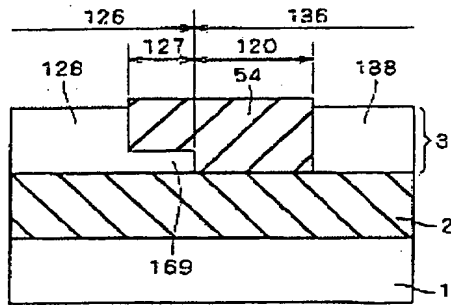


도표 72

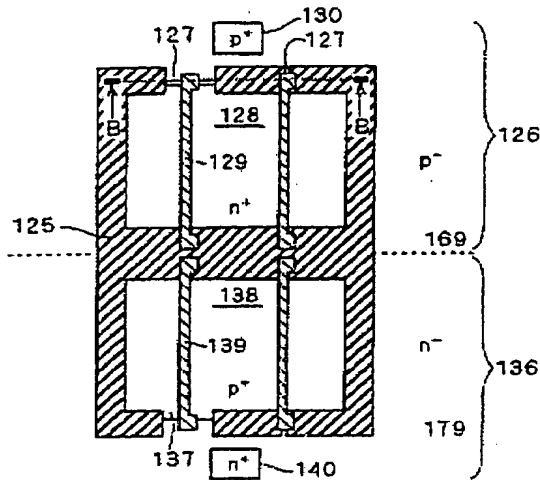


도표 73

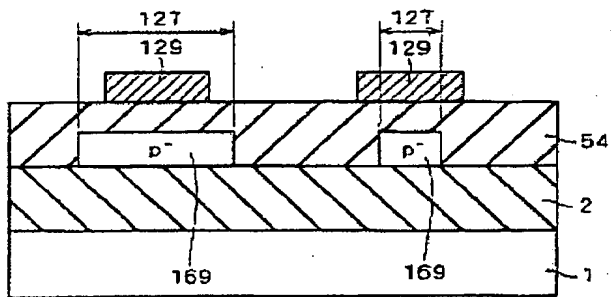
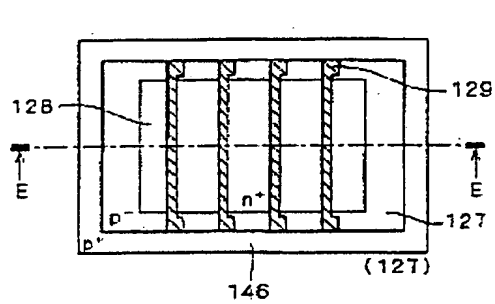
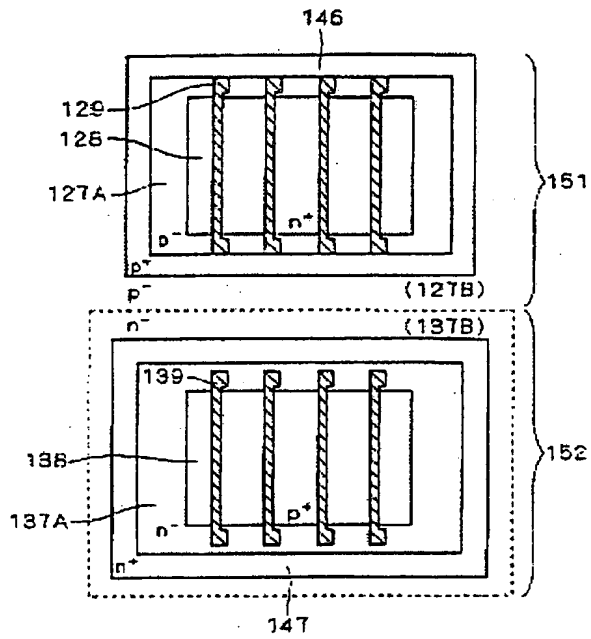


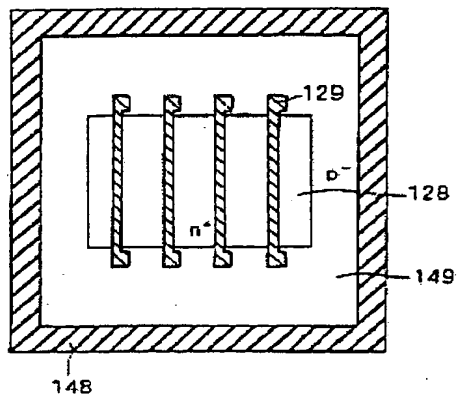
도표 74



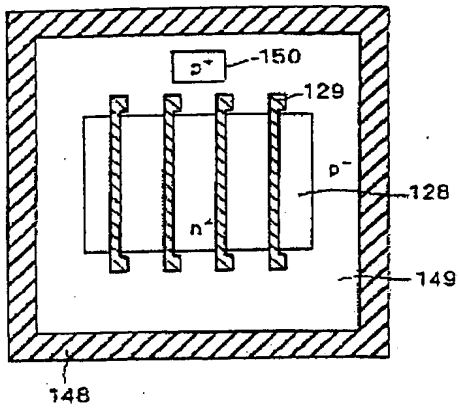
도 75



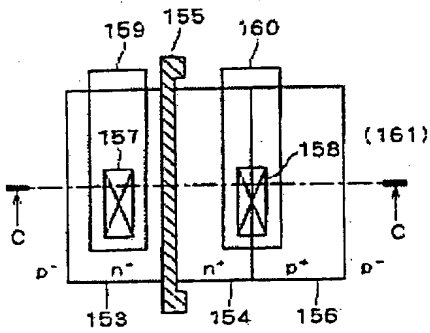
도 76



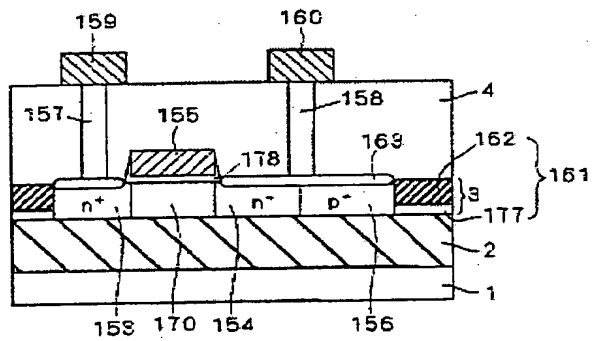
도 77



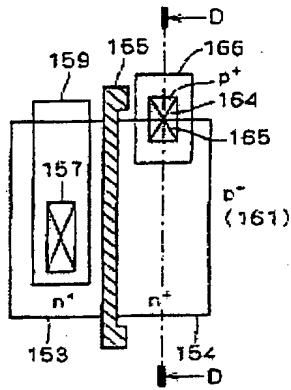
도 78



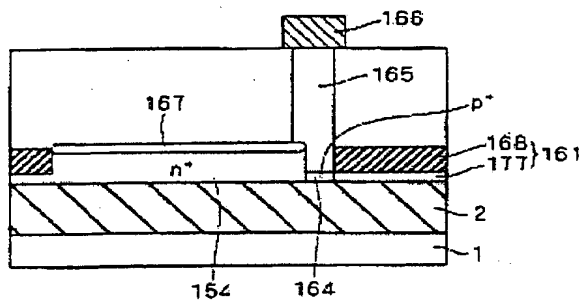
도 79



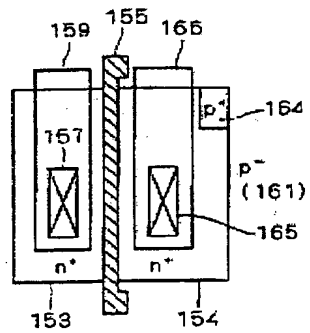
도 80



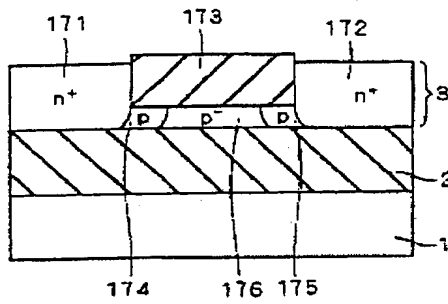
도 81



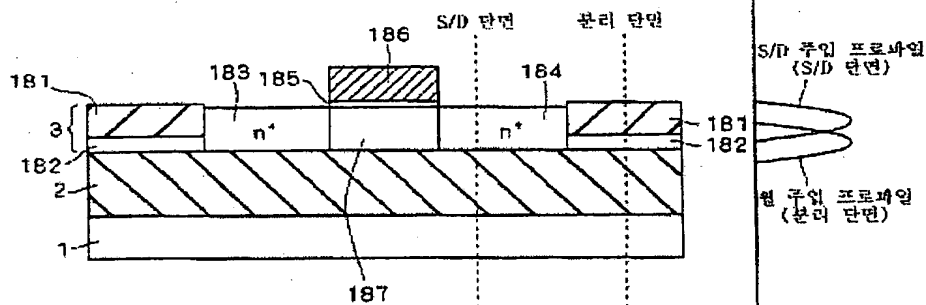
도 82



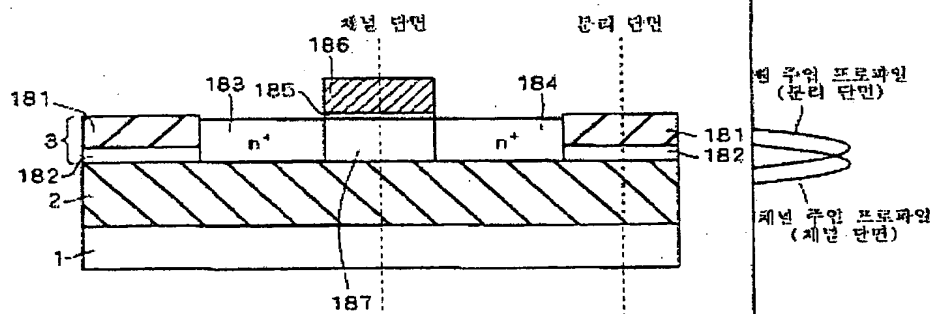
도 83



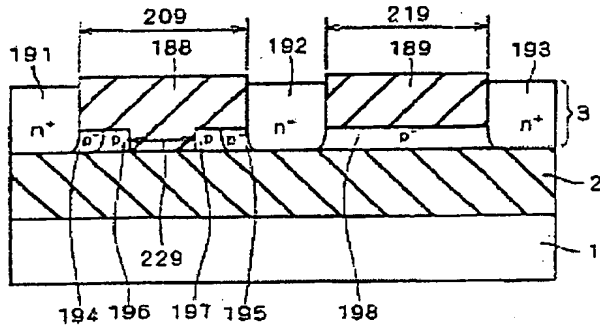
도 84



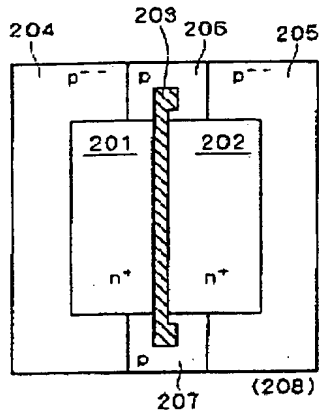
도 85



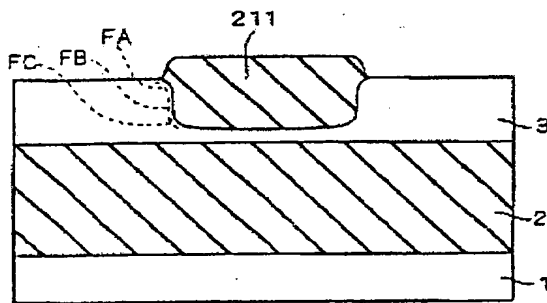
도 208



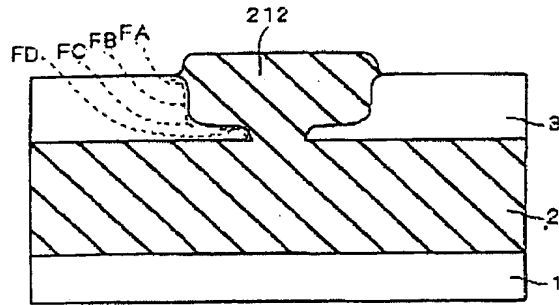
도 209



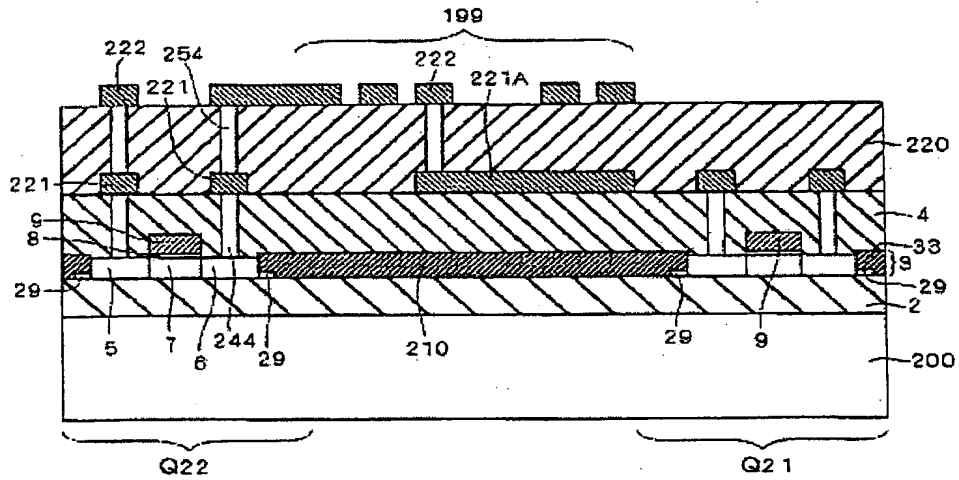
도 210



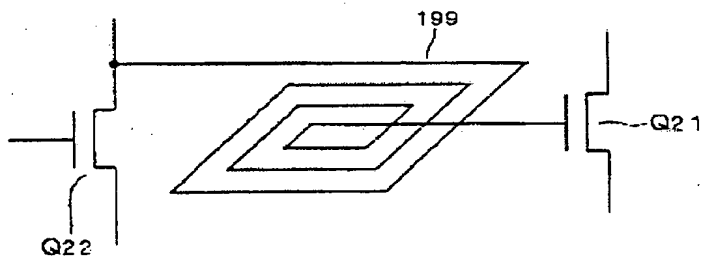
도면80



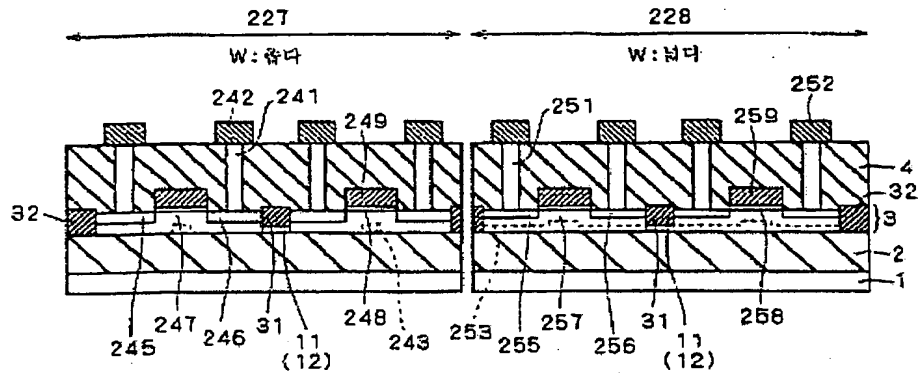
도면81



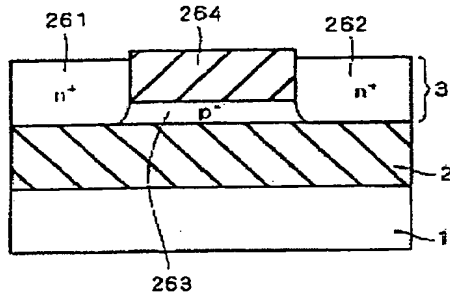
도면82



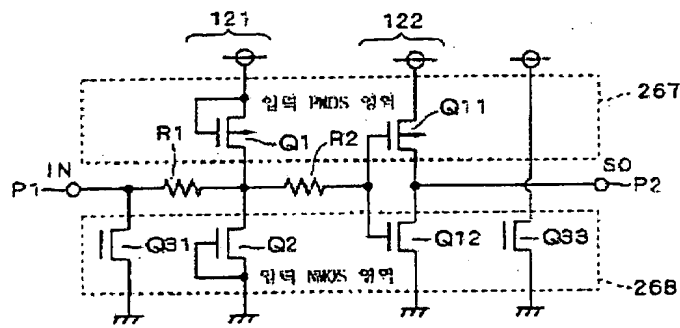
도면9



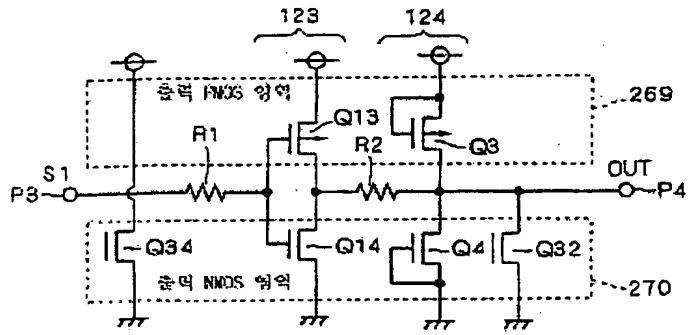
도면10



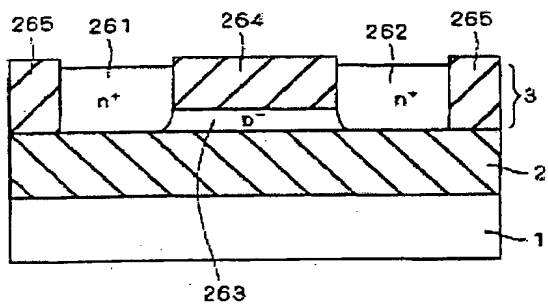
도면11



도면8



도면9



도면10

